

SOMMARIO

<i>INTRODUZIONE</i>	2
<i>FUNZIONAMENTO RETRIGGERABILE</i>	3
<i>FUNZIONAMENTO NON RETRIGGERABILE</i>	3
<i>APPLICAZIONI CIRCUITALI DEI CIRCUITI MONOSTABILI</i>	4
<i>Duplicatore di frequenza:</i>	4
<i>Convertitore Frequenza/Tensione (a valore medio):</i>	4
<i>Divisore di frequenza:</i>	5
<i>Discriminatore di frequenza:</i>	5
<i>Osservazione :</i>	6
<i>Tema di Maturità Professionale TIEE 1994</i>	6
<i>TIMER UNIVERSALE 555</i>	8
<i>Principio di funzionamento</i>	8
<i>Configurazione Bistabile</i>	8
<i>Configurazione Monostabile</i>	9
<i>Osservazioni</i>	9
<i>Configurazioni Astabili</i>	10
<i>Ingresso di Reset</i>	11
<i>Ingresso CV (Control Voltage)</i>	11
<i>Rivelatore di perdita di impulsi (missing pulse detector)</i>	11
<i>Parametri e note progettuali</i>	12
<i>Tema di Maturità Professionale TIEE 1995</i>	13
<i>BIBLIOGRAFIA</i>	14

Monostabile 4538 CMOS, Timer Universale NE555

prof. Cleto Azzani
IPSIA Moretto Brescia

aprile 1995

Introduzione

Il circuito integrato 4538 della famiglia CMOS si presta ad essere usato in una grande varietà di applicazioni che consentono di comprendere i vari modi possibili di funzionamento dei multivibratori monostabili. Innanzitutto un monostabile generico non è altro che un temporizzatore. La sua uscita è caratterizzata da due possibili stati di cui uno stabile ($Q=0$) ed uno instabile ($Q=1$). Il monostabile è dotato di un ingresso di trigger, cui viene applicato il segnale di sincronismo; che avvia il ciclo di temporizzazione in corrispondenza di un evento esterno rappresentato da un fronte di salita o di discesa del segnale di trigger. La durata della fase di temporizzazione è determinata dal valore assunto dalla costante di tempo $R_x C_x$ (componenti esterni al monostabile). Durante il ciclo di temporizzazione l'uscita Q del monostabile passa dallo stato stabile a quello instabile; esaurita la temporizzazione l'uscita ritorna nello stato stabile e vi rimane finché non riparte un nuovo ciclo per effetto di un nuovo segnale di trigger esterno.

Il circuito integrato 4538 contiene due monostabili con i quali è possibile realizzare temporizzazioni non inferiori a 25 $\mu\text{sec.}$; la durata del segnale prelevabile sull'uscita Q è data semplicemente dalla formula

$$T_x = R_x C_x \quad 1.1$$

R_x deve essere scelta non inferiore a $5\text{K}\Omega$, C_x va scelta nel range : $5\text{ nF} < C_x < 100\text{ }\mu\text{F}$.

Due ingressi di trigger $TR+$ e $TR-$ consentono di sincronizzare il timer sui fronti di salita ($TR+$) o su quelli di discesa ($TR-$) di un segnale esterno. Rifacendoci allo schema di fig. 1 a fianco riportato si noterà innanzitutto la presenza sui due ingressi $TR+$ e $TR-$ di porte "NOT triggered" ($G1$ e $G2$) che assicurano una corretta sincronizzazione del monostabile anche in presenza di segnali esterni "lentamente variabili" nel tempo.

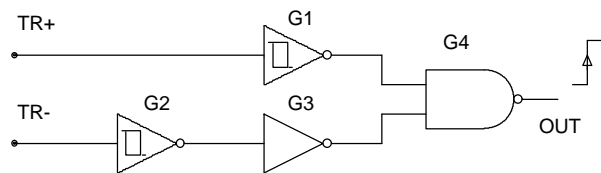


fig. 1 Circuiteria Interna di Trigger del 4538

L'avvio del ciclo di temporizzazione richiede un fronte di salita in uscita a $G4$ (vedi fig. 1); ciò si potrà ottenere in due modi :

1) con un fronte di salita sull'ingresso $TR+$ (due inversioni $G1$ e $G4$), un livello logico 1 applicato all'ingresso $TR-$ (la porta $G4$ deve risultare aperta) e l'ingresso di Reset inattivo ossia a livello logico 1 (vedi fig. 2);

2) con un fronte di discesa sull'ingresso $TR-$ (tre inversioni attraverso $G2$, $G3$ e $G4$), un livello logico 0 applicato all'ingresso $TR+$ (la porta $G4$ deve risultare aperta) e l'ingresso di Reset inattivo ossia a livello logico 1 (vedi fig. 3).

I grafici riportati nelle fig. 2 e 3 presuppongono che in caso di presenza di più segnali di trigger il periodo T di questi ultimi sia superiore al tempo T_x che caratterizza il funzionamento del multivibratore monostabile.

Qualora la condizione $T > T_x$ non sia più soddisfatta il multivibratore Monostabile ammette in generale due modi di funzionamento diversi :

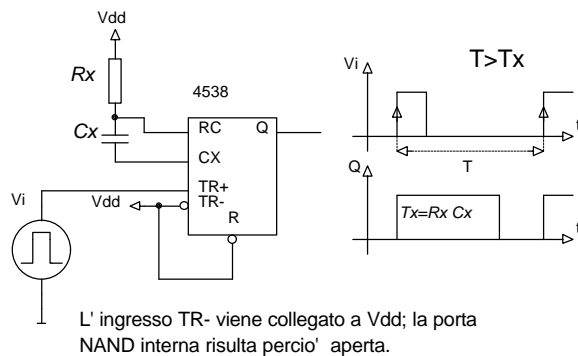


fig. 2 Monostabile triggerato sui fronti di salita

TR+	TR-	OUT	Partenza Timer
↑	1	↑	SI
↓	1	↓	NO
X	0	1	NO
0	↓	↑	SI
0	↑	↓	NO
1	X	1	NO

Funzionamento retriggeabile

Il monostabile si dice che funziona in "modo retriggeabile" se i fronti di trigger successivi al primo fanno ripartire da zero il ciclo di temporizzazione.

Il circuito di fig. 4 funziona in modo "retriggeabile" sui fronti di salita. Si noti che sul grafico sono riportati ben 4 fronti di trigger distanziati di un tempo T inferiore a T_x . Il primo fronte provoca il passaggio da 0 ad 1 dell'uscita Q ; il secondo, il terzo ed il quarto fronte di trigger giungono al monostabile quando ancora la temporizzazione corrente non si è completamente esaurita pertanto pur facendo ripartire da zero il timer non introducono modifiche sullo stato logico dell'uscita. Il quarto fronte di trigger è l'ultimo perciò il ciclo di temporizzazione riparte da zero per l'ultima volta; e quindi l'uscita Q ritornerà a 0 solo dopo che è trascorso il tempo T_x a partire dal quarto fronte di trigger.

Funzionamento non retriggeabile

Il monostabile si dice che funziona in "modo non retriggeabile" se i fronti di trigger successivi al primo non provocano alcun cambiamento nel suo stato interno fintantoché l'uscita non è tornata nello stato stabile. (fig. 5).

Per attivare un tale modo di funzionare è necessario bloccare la porta NAND interna quando l'uscita Q si trova a livello alto. Ciò comporta che, nel caso del circuito di fig. 5 l'ingresso $TR-$ venga collegato a \overline{Q} .

Il circuito di fig. 5 funziona in modo "non retriggeabile" sui fronti di salita. Si noti che sul grafico sono riportati ben 3 fronti di trigger distanziati di un tempo T inferiore a T_x . Il primo fronte provoca il passaggio da 0 ad 1 dell'uscita Q ; essendo l'ingresso $TR-$ connesso all'uscita \overline{Q} , il passaggio a 1 di Q provoca la chiusura della porta NAND interna (G4 di fig. 1); il secondo fronte di trigger giunge al monostabile quando ancora la temporizzazione corrente non si è completamente esaurita pertanto essendo la porta NAND interna chiusa, il ciclo di temporizzazione non riparte da 0. Il terzo fronte di trigger giunge a ciclo di temporizzazione regolarmente concluso e quindi con porta NAND interna aperta; ciò pertanto provoca nuovamente il passaggio da 0 a 1 dell'uscita Q del monostabile.

Si noti che nei grafici riportati in fig. 5 appare evidente che il periodo del segnale Q in uscita al monostabile risulta il doppio rispetto al periodo T del segnale di ingresso e quindi in queste condizioni il circuito effettua una divisione di frequenza per due.

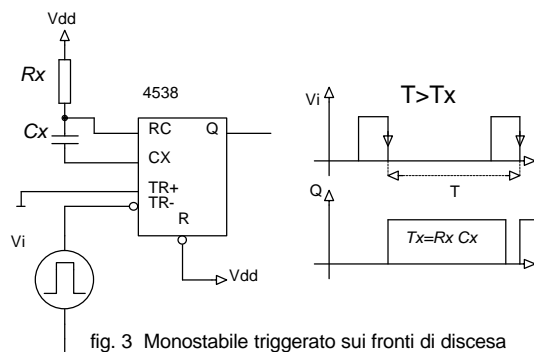


fig. 3 Monostabile triggerato sui fronti di discesa

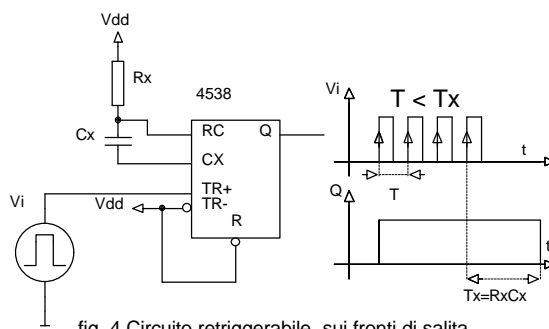


fig. 4 Circuito retriggeabile sui fronti di salita

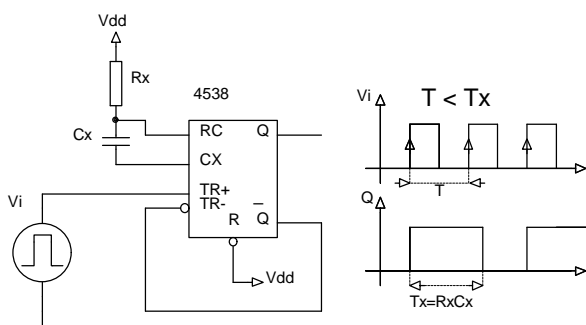


fig. 5 Circuito NON retriggeabile sui fronti di salita

Applicazioni circuitali dei Circuiti Monostabili

Duplicatore di frequenza:

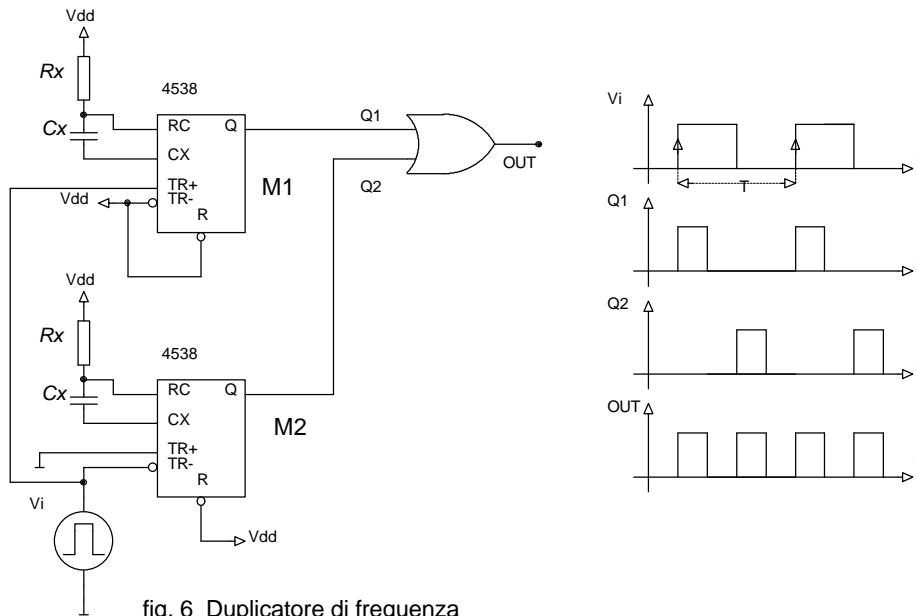


fig. 6 Duplicatore di frequenza

Nel circuito di fig. 6 il monostabile M1 è sincronizzato dai fronti di salita del generatore V_i , mentre M2 è sincronizzato sui fronti di discesa. Scegliendo i componenti R_x e C_x in modo che sia verificata la condizione $R_x C_x = T/4$, si ottengono sulle uscite Q1 e Q2 due forme d'onda fra loro sfasate di $T/2$ che la porta OR compone in un onda quadra di frequenza doppia e Duty-Cycle pari al 50%.

Convertitore Frequenza/Tensione (a valore medio):

Nel circuito di fig. 7 è estremamente facile verificare che il valore medio del segnale prelevato in uscita al monostabile è dato dalla seguente relazione:

$$V_m = V_{DD} \cdot R_x \cdot C_x \cdot f \quad 1.2$$

ove V_{DD} rappresenta la tensione di alimentazione del circuito integrato, R_x e C_x sono i componenti che determinano la durata della temporizzazione del circuito, f è la frequenza del segnale in ingresso.

La relazione matematica 1.2 è valida a condizione che risulti vera l'ipotesi :

$$T > T_x \quad \text{ossia} \quad f < \frac{1}{R_x C_x} \quad 1.3$$

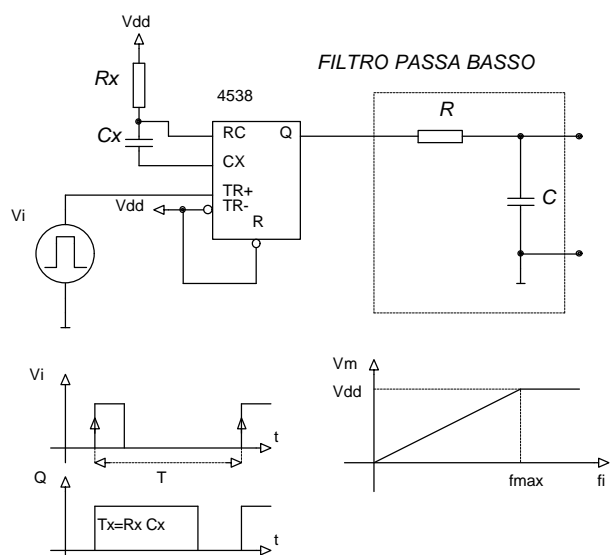


fig.7 Convertitore f/V (frequenza tensione)

il valore $f_{\max} = 1/(R_x C_x)$ esprime quindi il valore massimo della frequenza del segnale applicabile in ingresso per ottenere una conversione frequenza tensione lineare.

Dalla forma d'onda presente sull'uscita Q del monostabile deve essere estratto il valore medio, ossia la componente continua di Q tramite un filtro passa basso opportunamente dimensionato. Si ricorda che essendo il segnale Q periodico ma non sinusoidale, esso sarà certamente sviluppabile in serie di Fourier. Estrarre la componente continua significa eliminare con adeguato processo di filtraggio tutte le componenti variabili partendo dalla fondamentale.

Poiché il circuito opererà certamente in un campo di frequenze $f_{min} < f < f_{max}$ il dimensionamento del filtro andrà effettuato tenendo presente le condizioni di filtraggio più sfavorevoli che si verificano in concomitanza della f_{min} del segnale di ingresso.

La conversione f/V rappresenta un primo esempio di conversione digitale / analogica.

Divisore di frequenza:

Un circuito monostabile in connessione non retriggerabile ove si sia scelta opportunamente la costante di tempo $R_X C_X$ in modo da soddisfare la relazione :

$$(N - 1) \cdot T < T_X < N \cdot T \quad 1.4$$

effettua una divisione di frequenza per N .

Nell'esempio di fig. 8 si è scelto un fattore N pari a 3; infatti T_X risulta maggiore di $2T$ ma inferiore a $3T$. Dall'esame dei grafici è facile convincersi che tale circuito realizza una divisione di frequenza per 3.

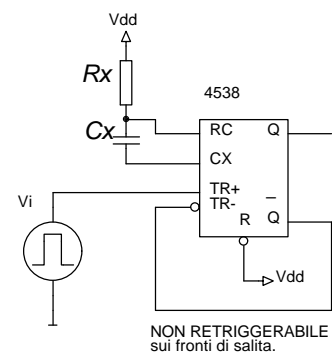
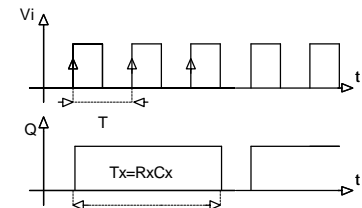


fig. 8 Divisore di frequenza

Discriminatore di frequenza:

Nel circuito (fig. 9) M1 è un monostabile di tipo retriggerabile, M2 è di tipo non retriggerabile.

Se $T > T_1$ ($T_1 = R_1 C_1$) sull'uscita Q si presenteranno onde quadre di periodo T e duty-cycle pari al rapporto T_1/T mentre se risulta $T < T_1$ in uscita avremo costantemente un livello logico 1. È evidente quindi che il circuito presenta una frequenza massima di lavoro ($f_{max} = 1/(R_1 C_1)$) superata la quale l'uscita di M1 rimane costantemente a livello logico alto; perciò si presta ad essere usato come comparatore di frequenza oppure come discriminatore di frequenza. Nel circuito di fig. 9 il monostabile M2, di tipo non retriggerabile, solo quando riceverà impulsi di trigger sul suo ingresso sarà in grado di provocare l'accensione temporizzata del diodo LED. Pertanto se $f_i < f_{max}$ il diodo LED risulterà acceso se invece $f_i > f_{max}$ il diodo LED risulterà spento.

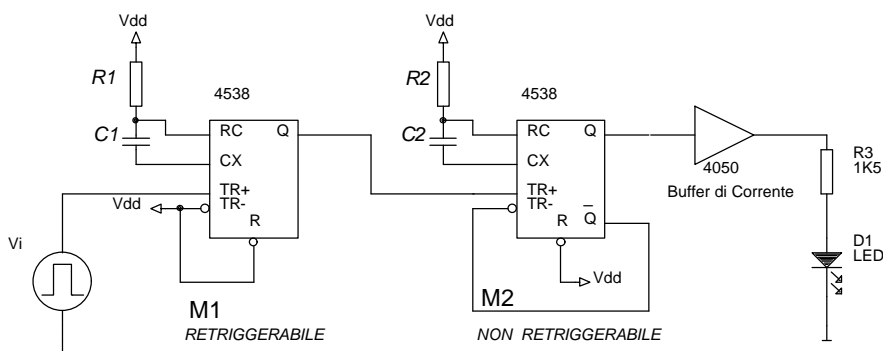


fig.9 Discriminatore di frequenza

Osservazione :

Un monostabile retriggerabile, come s'è visto, può, con una logica esterna, essere reso non retriggerabile ma un monostabile *strutturalmente non retriggerabile* non può funzionare in modalità retriggerabile. Sono esempi commerciali molto diffusi di circuiti monostabili non retriggerabili il comunissimo NE555 e in ambito TTL il 741LS21 e il 74LS221; i circuiti integrati 74LS122, 74LS123, 74LS422 e 74LS423 sono esempi di monostabili di tipo retriggerabile.

Tema di Maturità Professionale TIEE 1994

A titolo di esempio affrontiamo lo svolgimento del tema di maturità professionale 1994 di Elettronica in cui era possibile impiegare il timer CMOS 4538.

Si desidera realizzare un dispositivo generatore di impulsi dei quali si vuole variare manualmente sia la frequenza, sia la durata.

Il candidato formulate le ipotesi aggiuntive che ritiene necessarie :

- proponga ed illustri una soluzione di principio disegnandone lo schema generale e le forme d'onda*
- disegni lo schema circuitale del dispositivo utilizzando i componenti di sua conoscenza.*
- illustri, anche con esempi numerici ed assumendo valori di sua scelta, i criteri di dimensionamento dei componenti che ritiene più significativi.*

Soluzione

Il testo non è particolarmente difficile ma poiché lascia molto spazio alla iniziativa personale (scelte di tipo circuitale e di tipo componentistico), richiede al candidato una certa attenzione.

A) Schema a blocchi

Il dispositivo citato dalla traccia deve essere in grado di *generare impulsi con possibilità di "variazione manuale" della frequenza f e della durata TA* (vedi fig. 1). Diverse possono essere le soluzioni adottabili poiché il candidato non ha particolari vincoli imposti dalla traccia e inoltre può introdurre autonomamente ipotesi aggiuntive semplificative (da lui ritenute necessarie).

Può essere utilizzato un qualsiasi circuito astabile studiato nel corso di Elettronica ove sia possibile variare sia la frequenza che il "duty-cycle" (Astabile con NE555, con Amplificatore Operazionale OVA LM741, con gate triggered 40106, VCO, ecc.).

Una soluzione sufficientemente accurata, e progettualmente semplice può essere quella di scomporre il circuito in due blocchi distinti: un circuito astabile ed un circuito monostabile; ciò permette due regolazioni manuali indipendenti (ma che ovviamente poi dovranno risultare compatibili), di frequenza e di "duty-cycle". Il circuito astabile determina con il valore dei suoi componenti passivi RC la frequenza di lavoro del circuito; il monostabile determina il "duty-cycle" o la durata solitamente a livello alto, del segnale V2 in uscita al sistema.

Lo schema elettrico può essere redatto usando soluzioni di tipo discreto (astabile e monostabile a BJT), soluzioni con circuiti integrati di tipo lineare (amplificatori operazionali OVA) o soluzioni con circuiti integrati di tipo digitale (tecnologia CMOS). Adotteremo quest'ultima che risulta semplice funzionale e di facile realizzazione.

In fig. 2 è riportata una soluzione circuitale al problema realizzata con integrati digitali della famiglia CMOS. Il primo blocco è un circuito astabile realizzato con NOT triggered (40106) in esso il periodo T1 del segnale generato è dato dalle relazioni (una per il valore minimo e una per il massimo):

$$\begin{aligned} T_{1MAX} &= 1.38 \cdot (R_4 + R_1) \cdot C_1 & 1 \\ T_{1min} &= 1.38 \cdot R_4 \cdot C_1 & 2 \end{aligned}$$

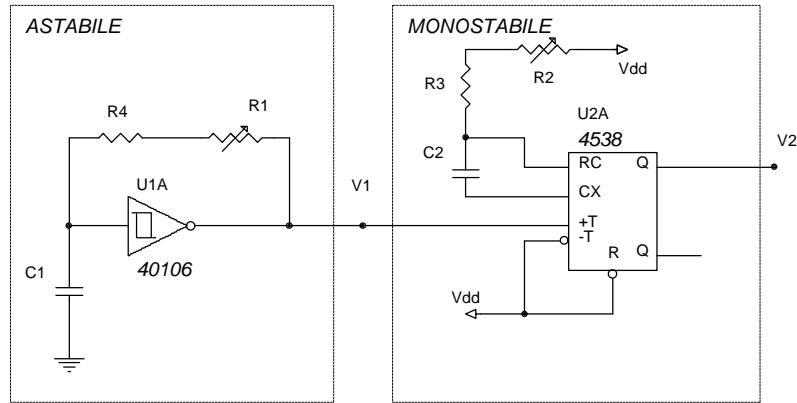


fig. 2 Schema circuitale

Progetto del Circuito Astabile

Si suppone che la frequenza del segnale V2 vari fra 100Hz ($T_{max}=10ms.$) e 1KHz ($T_{min}=1ms.$).

Dalla relazione 2 si può ricavare la costante di tempo $R_4 C_1$ che vale 0,72 ms. da cui prefissando ad esempio $C=100\text{ nF}$ risulta $R_4=7250\text{ Ohm}$. Dalla 1 si può ricavare il valore da attribuire ad R_1 che risulta uguale a 65.250 Ohm.

Progetto del Monostabile

Utilizzando in circuito integrato CMOS 4538 (doppio monostabile di precisione) la durata a livello logico lato del segnale di uscita V2 (vedi schema di fig.2) risulta data dall'espressione:

$$T_{AMAX} = (R_3 + R_2) \cdot C_2 \quad 3$$

$$T_{Amin} = R_3 \cdot C_2 \quad 4$$

Si suppone che la durata del segnale di uscita V2 sia compresa fra 50 us. e 9,5 ms.

Il valore di 50 us è scelto superiore al minimo valore ottenibile con il circuito integrato 4538 che è pari a 25 us. il valore di 9,5 ms. è scelto leggermente inferiore al periodo di ingresso massimo al monostabile (T_{1max}).

Dalla relazione 4, fissato C_2 pari a 10 nF, si ricava R_3 che risulta pari a 5000 Ohm. Dalla relazione 3, si ricava R_2 pari a 945 K Ω .

Nota Bene

È evidente che le regolazioni circuitali effettuate da R_1 sull'astabile (regolazione di frequenza) e da R_2 sul monostabile (regolazione di durata), devono essere fra di loro compatibili. Non è infatti possibile imporre ad una forma d'onda quadra una durata T_a maggiore del periodo T . Pertanto dovrà sempre essere verificata la condizione:

$$T_A \leq T_1$$

in caso contrario in uscita non avremo un onda quadra ma un segnale di ampiezza costante e pari al valore scelto per l'alimentazione del circuito (valori possibili fra 5 e 15V).

Timer Universale 555

Uno fra i più diffusi timer integrati utilizzati in campo elettronico è il timer universale 555 (NE555, LM555) esso è riconducibile allo schema a blocchi di figura 10.

All'interno del timer individuiamo due comparatori C1 e C2, un bistabile SR, un transistor TR, una porta NOT e un partitore con tre resistori di valore uguale ($R=5K\Omega$). Il circuito deve essere alimentato con una tensione V_{cc} il cui valore può essere scelto a seconda delle necessità fra 5 e 15 Volt. Il comparatore superiore C1 è del tipo non invertente e alimenta l'ingresso S (Set) del latch RS: il suo ingresso I (-) è alimentato internamente dalla tensione $2/3 V_{cc}$ mentre l'ingresso NI (+) è un ingresso dell'integrato denominato TREshold (soglia). Il comparatore inferiore C2 è del tipo invertente e alimenta l'ingresso R (Reset) del latch RS: il suo ingresso NI (+) è alimentato internamente dalla tensione $1/3 V_{cc}$ mentre l'ingresso I (-) è un ingresso dell'integrato denominato TRIgger (scatto, sincronizzazione). L'ingresso RESet dell'integrato, attivo a livelli bassi, serve a forzare lo stato logico 0 sull'uscita OUT del circuito integrato (uscita Q a livello alto e conseguente passaggio in stato ON del BJT interno).

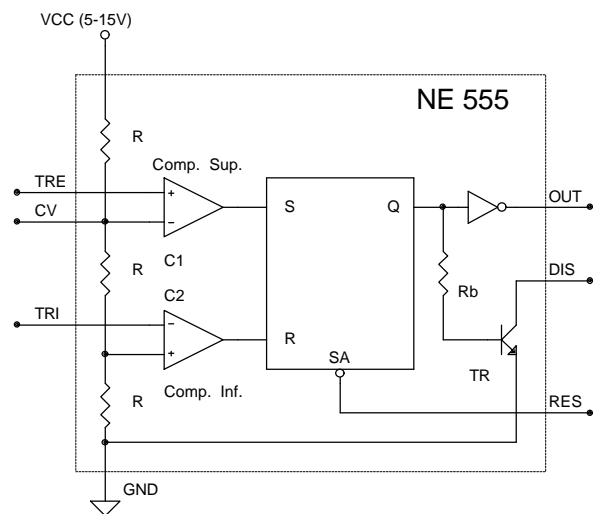


fig. 10 Schema a blocchi interna del Timer Universale 555

Principio di funzionamento

Se la tensione di TREshold supera il livello di comparazione superiore UTL ($2/3 V_{cc}$), l'uscita del comparatore superiore C1 passa a livello alto; l'uscita interna del latch (Q) passa a livello alto, il transistor interno TR passa in stato ON, l'uscita dell'integrato OUT passa a livello basso. Se la tensione di TRIgger va al di sotto del livello di comparazione inferiore LTL ($1/3 V_{cc}$), l'uscita del comparatore inferiore C2 passa a livello alto; l'uscita interna del latch (Q) passa a livello basso, l'uscita dell'integrato OUT passa a livello alto, il transistor interno TR passa in interdizione.

A seconda del tipo di configurazione esterna il timer universale 555 può essere impiegato per realizzare configurazioni monostabili, bistabili o astabili.

Configurazione Bistabile

Due resistori R1 ed R2 mantengono in condizione di inattività i due ingressi rispettivamente di TRIgger e di TREshold. Con i due interruttori in condizione di riposo infatti la tensione sull'ingresso TRIgger si porta a V_{cc} livello certamente superiore alla soglia LTL ($1/3 V_{cc}$) e la tensione sull'ingresso TREshold si porta a 0 V livello inferiore alla soglia UTL ($2/3 V_{cc}$). Supponiamo che inizialmente l'uscita OUT dell'integrato si trovi nello stato 0. Premendo il pulsante SET, l'ingresso TRIgger viene portato a livello basso, certamente inferiore alla soglia LTL per cui viene attivato il Reset del latch interno, l'uscita OUT perciò passa a livello alto e vi rimane finchè non viene premuto il pulsante di RESET.

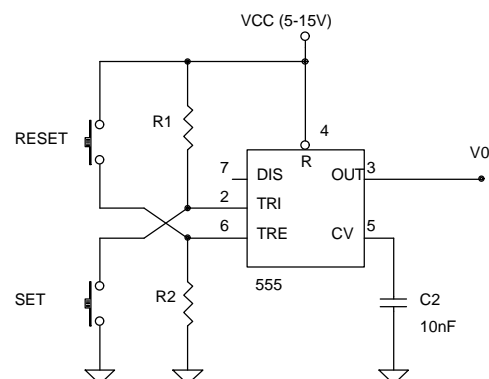


fig. 11 Configurazione bistabile del timer 555

Configurazione Monostabile

Il resistore R1 mantiene in condizione di inattività l'ingresso di TRIGGER; l'ingresso di THRESHOLD è connesso assieme a DISCHARGE al condensatore Ca (gruppo Ra Ca di temporizzazione). La condizione di equilibrio stabile è caratterizzata dal fatto che OUT si trova a livello basso, il transistor interno TR è in stato di saturazione (ON) ciò impedisce che Ca possa caricarsi a Vcc attraverso Ra (TR si comporta da corto circuito per cui la tensione di THRESHOLD vale 0V). Il gruppo C1, R1, D1 è un circuito formatore di impulso sui fronti di discesa per cui quando la tensione V1 (ingresso del monostabile) presenta un fronte di discesa di adeguata ampiezza, l'ingresso di TRIGGER passa a livello basso, l'uscita OUT del timer passa a livello alto, il transistor interno TR si interdice cosicché il condensatore Ca può caricarsi attraverso Ra alla tensione di alimentazione Vcc. Quando la tensione ai capi di Ca raggiunge il livello UTL (2/3 Vcc), il comparatore superiore commuta, l'uscita OUT del timer passa a livello basso, il transistor interno passa in saturazione e immediatamente scarica il Condensatore Ca : il timer ha raggiunto nuovamente la condizione di equilibrio stabile ed è perciò pronto per eseguire un nuovo ciclo di temporizzazione. La legge di carica del condensatore Ca è esprimibile dalla relazione :

$$v_C(t) = V_{CC} \left(1 - e^{-\frac{t}{t_A}} \right)$$

Detto T1 la durata del ciclo di temporizzazione (intervallo di tempo in cui l'uscita OUT si trova a livello alto) risulta :

$$v_C(T_1) = UTL = \frac{2}{3} V_{CC} = V_{CC} \left(1 - e^{-\frac{T_1}{t_A}} \right)$$

ricavando T1 risulta :

$$T_1 = R_A \cdot C_A \ln 3 \cong 1,1 \cdot R_A \cdot C_A$$

Osservazioni

- Durante il ciclo di temporizzazione, se dovessero giungere ulteriori fronti di discesa all'ingresso V1 del monostabile, tali segnali non possono modificare lo stato logico dell'uscita in quanto il latch interno risulta insensibile a segnali che provengano dall'ingresso di TRIGGER durante la carica di Ca; il ciclo di temporizzazione perciò continua imperturbato fino alla sua normale conclusione. Per questo modo di funzionare il circuito monostabile viene anche detto di tipo "non retriggerabile".
- La costante di tempo C1 R1 deve essere scelta di valore sufficientemente piccolo rispetto alla durata a livello basso del segnale V1 per consentire al circuito di funzionare da "formatore di impulso". Il diodo D1 elimina il fronte eccedente Vcc che altrimenti si presenterebbe sull'ingresso di TRIGGER e che danneggerebbe in modo irreparabile il circuito integrato.

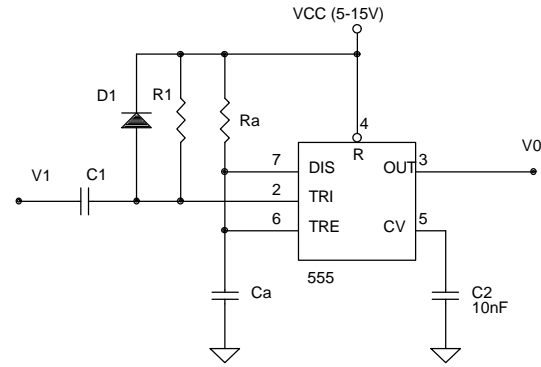
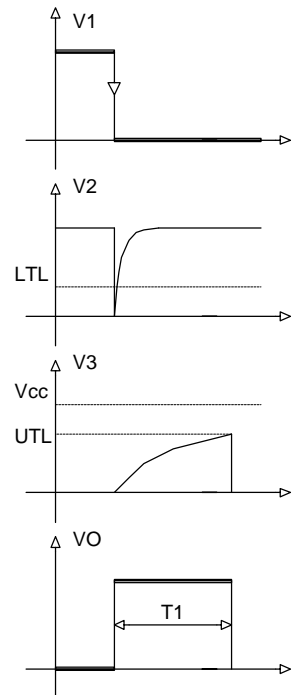


fig. 12 Configurazione Monostabile del timer 555



Configurazioni Astabili

In fig. 13 sono riportati tre circuiti ai quali si riconducono le più comuni configurazioni astabili realizzate con il timer universale 555. Nel circuito di fig. 13a supponendo che inizialmente il transistor TR sia in condizioni OFF (interdetto), l'uscita OUT si troverà a livello alto, il condensatore Ca si carica a Vcc con costante di tempo :

$$t_C = (R_A + R_B) \cdot C_A$$

Quando Vc raggiunge il livello UTL (2/3 Vcc) l'uscita OUT passa a livello Basso, TR passa dallo stato OFF allo stato ON, e quindi Ca si scarica su Rb con costante di tempo :

$$t_S = R_B \cdot C_A$$

Quando Vc raggiunge il livello LTL (1/3 Vcc), l'uscita OUT passa a livello Alto, TR passa dallo stato ON allo stato OFF, e Ca riprende a ricaricarsi a Vcc con costante di tempo τ_C .

Detto T0 il tempo in cui l'uscita OUT del timer rimane a livello basso e T1 il tempo in cui tale uscita rimane a livello alto è facile pervenire con semplici passaggi matematici ai seguenti risultati :

$$T_1 = 0,693 \cdot t_C = 0,693 \cdot (R_A + R_B) \cdot C_A$$

$$T_0 = 0,693 \cdot t_S = 0,693 \cdot R_B \cdot C_A$$

$$T = T_1 + T_0 = 0,693 \cdot (R_A + 2R_B) \cdot C_A$$

$$f = \frac{1}{T} = \frac{1}{0,693(R_A + 2R_B)C_A} = \frac{1,44}{(R_A + 2R_B)C_A}$$

$$D = \frac{T_1}{T} = \frac{R_B}{R_A + 2R_B}$$

Il circuito di fig. 13a non consente di ottenere una forma d'onda quadra con duty-cycle pari al 50% per cui si ricorre al circuito di fig. 13 c. In tale circuito la presenza del diodo D1 che bypassa Rb in fase di carica, consente di ottenere i seguenti risultati:

$$t_C = R_A \cdot C_A \quad (\text{costante di tempo di carica})$$

$$t_S = R_B \cdot C_A \quad (\text{costante di tempo di scarica})$$

scegliendo $R_A=R_B$ è possibile ottenere duty cycle $D= 0,5$ (50%).

Il circuito di fig. 13b funziona in modo analogo ai precedenti. Inizialmente Ca risulta scarico e quindi Vo risulta a livello alto ; perciò la tensione su Ca cresce con legge esponenziale attraverso Ra con costante di tempo :

$$t_C = R_A \cdot C_A \quad (\text{costante di tempo di carica})$$

Quando Vc raggiunge il livello UTL (2/3 Vcc) l'uscita OUT passa a livello Basso, divenendo perciò un corto circuito verso GND, quindi Ca si scarica su Ra con costante di tempo :

$$t_S = R_A \cdot C_A \quad (\text{costante di tempo di scarica})$$

$$T_1 = 0,693 \cdot t_C = 0,693 \cdot R_A \cdot C_A$$

$$T_0 = 0,693 \cdot t_S = 0,693 \cdot R_A \cdot C_A$$

$$T = T_1 + T_0 = 0,693 \cdot 2R_A \cdot C_A$$

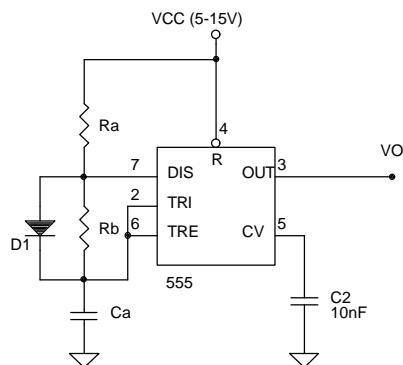
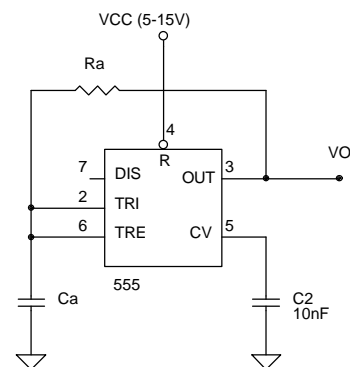
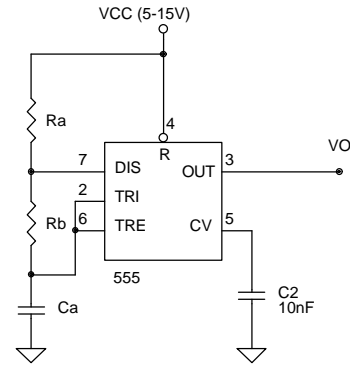
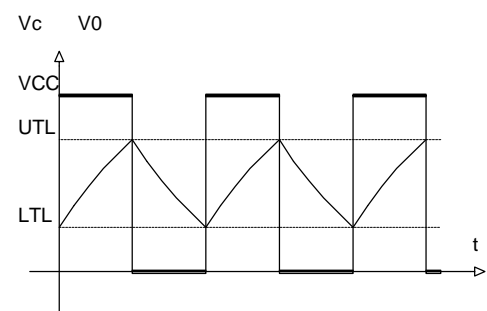


fig. 13 Configurazioni Astabili del Timer 555



$$f = \frac{1}{T} = \frac{1}{0,693 \cdot 2 \cdot R_A \cdot C_A} = \frac{0,72}{R_A \cdot C_A}$$

$$D = \frac{T_1}{T} = \frac{R_A}{2 \cdot R_A} = 0,5$$

Ingresso di Reset

L'ingresso di reset RES del timer universale viene utilizzato per forzare lo stato logico dell'uscita OUT a livello basso. Questo tipo di "forzatura" viene generalmente attuata all'accensione (istante di alimentazione del circuito integrato) attraverso il circuito riportato in fig. 14. Infatti C3 inizialmente scarico all'atto dell'accensione porta per un breve intervallo di tempo (dipendente dalla costante di tempo R3 C3) a livello basso l'ingresso RES del timer consentendo quindi allo stesso di "resettarsi"; dopo che C3 si è caricato lo stato dell'uscita OUT del timer dipende esclusivamente dai livelli di tensione presenti sugli ingressi TRIGGER e TRESHOLD. In assenza della rete di fig. 14 potremmo osservare che alcuni integrati all'accensione partono inizialmente dallo stato 0, altri integrati partono inizialmente dallo stato 1. Il circuito di "reset iniziale" è fondamentale e quindi irrinunciabile in circuiti monostabili o bistabili ove non sia accettabile un posizionamento iniziale del timer errato; non viene di solito usato nelle connessioni astabili a meno che non si tratti di circuiti astabili sincronizzati da un segnale esterno.

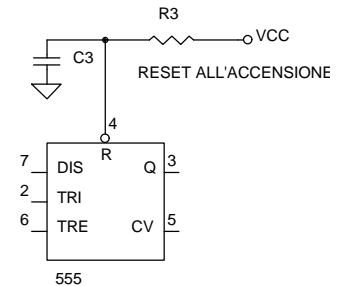


fig. 14 Circuiteria di Reset Iniziale

Ingresso CV (Control Voltage)

L'ingresso CV (Control Voltage) del timer universale è collegato internamente all'ingresso invertente (-) del comparatore superiore C1; viene utilizzato solamente in particolari applicazioni ove si voglia modificare con un segnale esterno le soglie UTL e LTL del timer (modulatore PWM). Negli impieghi usuali tale ingresso non viene usato e quindi viene collegato a massa con un condensatore della capacità di 10nF; se l'ingresso CV rimanesse libero potrebbero entrare dall'esterno disturbi che andrebbero così a modificare le soglie di commutazione UTL e LTL del timer 555.

Rivelatore di perdita di impulsi (missing pulse detector)

Il circuito riportato in fig.15 rappresenta un esempio di "missing pulse detector" realizzato con una connessione monostabile del timer 555 leggermente modificata dalla introduzione del transistor PNP TR1. In condizioni normali all'ingresso Vi giunge un treno di impulsi di ampiezza Vcc e di periodo T inferiore alla durata del ciclo di temporizzazione del monostabile T1. All'arrivo di un livello basso proveniente dalla sorgente Vi, TR1 passa in conduzione e scarica istantaneamente Ca; contemporaneamente il segnale Vi provoca la ripartenza da zero del ciclo di temporizzazione del monostabile. Pertanto Ca ricomincia a caricarsi attraverso Ra, Vo rimane nello stato logico alto, il condensatore Ca non riesce a raggiungere la soglia UTL (2/3 Vcc) perché ancor prima che ciò avvenga in ingresso giunge un altro livello basso che fa ricaricare Ca ed il ciclo di carica riprende da capo. Se però nel treno di impulsi della sorgente Vi viene a mancare un impulso in modo da far sì che la distanza temporale fra due impulsi consecutivi di ingresso risulta maggiore di T1 (durata del ciclo di temporizzazione del monostabile) allora la tensione ai capi di Ca raggiunge il livello UTL e sulla uscita OUT del monostabile si ha un passaggio temporaneo a livello basso. Perciò la presenza in uscita di un livello alto permanente sta a significare che in ingresso gli impulsi si susseguono sempre rispettando la condizione :

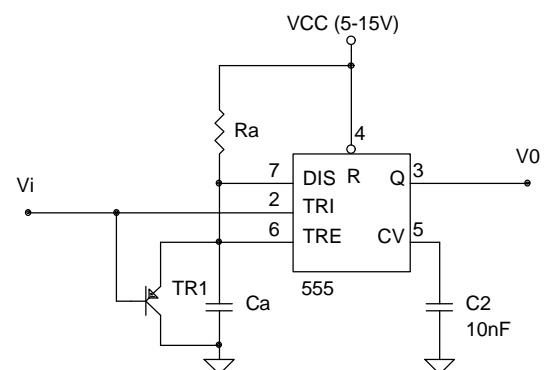


fig. 15 Missing Pulse Detector

$$T < T_1$$

mentre se in uscita al monostabile appare un livello basso ciò significa che due impulsi consecutivi del treno sono giunti al monostabile ritardati fra di loro di un intervallo T

$$T > T_1$$

L'aggiunta del transistor TR1, come nel caso di fig. 15 trasforma la connessione monostabile del timer 555 (non retriggerabile) in una connessione monostabile retriggerabile.

Parametri e note progettuali

Massima frequenza di oscillazione (connessione astabile) 300KHz tuttavia per una buona stabilità della frequenza al variare della temperatura non è opportuno superare la frequenza di 200KHz.

Accuratezza iniziale : 1%. L'accuratezza iniziale misura il livello di ripetibilità dei cicli di temporizzazione usando diversi dispositivi oppure usando lo stesso dispositivo ma effettuando la misura in tempi diversi (a distanza da un giorno a tre anni) mantenendo inalterata la tensione di alimentazione V_{cc} e la rete di temporizzazione RC.

Sensibilità alle variazioni di V_{cc} : Al variare della tensione di alimentazione variano le durate dei cicli di temporizzazione in ragione dello 0,1% per Volt di variazione.

Sensibilità alle variazioni termiche : Al variare della temperatura i cicli di temporizzazione variano. Nel funzionamento in modalità monostabile la deriva termica è pari a 50 ppm/°C; in modalità astabile, poiché vengono utilizzati tutti e due i comparatori del dispositivo, la deriva termica è più elevata : 150 ppm/°C.

Control Voltage : Ingresso generalmente connesso a GND con un condensatore di 10 nF. A questo ingresso si può applicare una tensione con la quale si può variare la durata del ciclo di temporizzazione indipendentemente dalla rete RC. Tale tensione può variare dal 45% al 90% di V_{cc} nel caso del monostabile e da 1,7V a V_{cc} nel caso dell'astabile.

Carichi induttivi : Quando si alimenta con l'uscita OUT un carico induttivo si devono usare alcuni accorgimenti per evitare che il timer 555 vada in condizioni di "latch up" . In parallelo al carico induttivo deve, come al solito essere posto il diodo volante o di libera circolazione, fra uscita OUT e carico deve essere poi connesso un altro diodo per impedire che l'uscita, sia pure per un brevissimo istante possa polarizzarsi negativamente rispetto a GND.

Reset : l'ingresso di reset agisce come ingresso di inibizione della attività del timer : applicando una tensione superiore a 1V il dispositivo è libero di funzionare normalmente, applicando una tensione inferiore a 0,4V l'uscita del dispositivo viene forzata nello stato 0. Quando il segnale di reset viene rimosso l'uscita continua a rimanere nello stato basso finché non viene applicato all'ingresso di trigger un segnale di ampiezza opportuna (livello < LTL).

Tema di Maturità Professionale TIEE 1995

Come secondo esempio, affrontiamo la soluzione al tema di maturità professionale 1995 di Elettronica che prevedeva nello schema a blocchi ben due Monostabili che è possibile realizzare con il timer universale NE555.

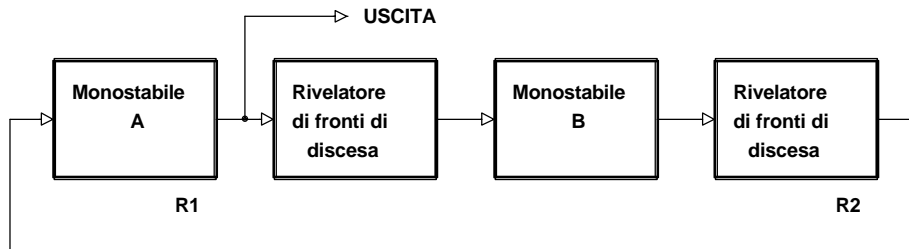


fig.1 Schema a blocchi del dispositivo

Con riferimento allo schema a blocchi di figura, nell'ipotesi che:

- 1) all'atto dell'accensione il monostabile A generi subito una temporizzazione, e il monostabile B rimanga bloccato;
- 2) siano disponibili due tensioni di alimentazione +5V (Vcc) e -5V (Vee);
- 3) i componenti abbiano caratteristiche ideali;
- 4) la tensione di uscita abbia una frequenza pari a 1 KHz ed uno stato alto pari al 25 % del periodo.

Il candidato, dopo avere formulato le eventuali ipotesi aggiuntive:

- illustri il funzionamento del dispositivo e
- ne proponga una soluzione circuitale con componenti di sua conoscenza.

Soluzione :

Il tema, poichè fornisce lo schema a blocchi (riportato in fig. 1) stabilisce dei binari molto precisi entro i quali il candidato deve muoversi per cui ci sembra che di "eventuali ipotesi aggiuntive" se ne possano fare ben poche. L'unica ipotesi ragionevole è quella di stabilire i livelli di tensione del segnale in uscita al monostabile A: considerato che si dispone di due sorgenti di alimentazione con caratteristiche indicate nel punto b) della traccia si potrebbe scegliere o una dinamica -5V +5V oppure, una dinamica 0 +5V; delle due ipotesi possibili la seconda ci sembra la più indicata. Come conseguenza logica di questa scelta i circuiti integrati che verranno presentati nella discussione del punto 2) dovranno essere alimentati fra 0 e Vcc.

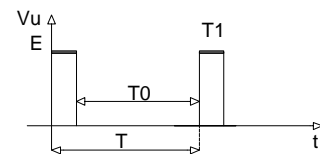


fig. 2 Andamento della tensione d'Uscita

Punto 1

Il funzionamento del dispositivo non è difficile da descrivere:

all'atto dell'accensione (ipotesi a) il monostabile B deve rimanere bloccato (la sua uscita QB deve trovarsi nello stato logico 0) mentre il monostabile A deve iniziare un ciclo di temporizzazione (la uscita QA deve trovarsi nello stato logico 1) per un tempo T1 determinato dall'analisi delle specifiche contenute nell'ipotesi d) della traccia. Infatti :

$$T = T_0 + T_1 = \frac{1}{f} = 1ms \quad T_1 = 25\% T = 0,25ms \quad T_0 = T - T_1 = 0,75ms$$

Trascorso il tempo T1 sulla uscita QA si presenta un fronte di discesa (passaggio da livello 1 a livello 0); il rivelatore di fronti attiva perciò il monostabile B per cui QB passa a livello 1 e rimane in questo stato per un tempo pari a T0 (0,75 ms). Quando il monostabile B ha concluso il proprio ciclo di temporizzazione QB passa da livello 1 a livello 0 (fronte di discesa); il rivelatore di fronti R2 attiva quindi il monostabile A e il ciclo si ripete da capo. In fig. 2 è riportato l'andamento temporale del segnale QA.

Punto 2

La soluzione più ovvia, visto la struttura dello schema a blocchi fornito nel testo ministeriale, ci sembra quella rappresentata nello schema elettrico di fig. 3 ove si è utilizzato l'arcinoto timer universale NE555.

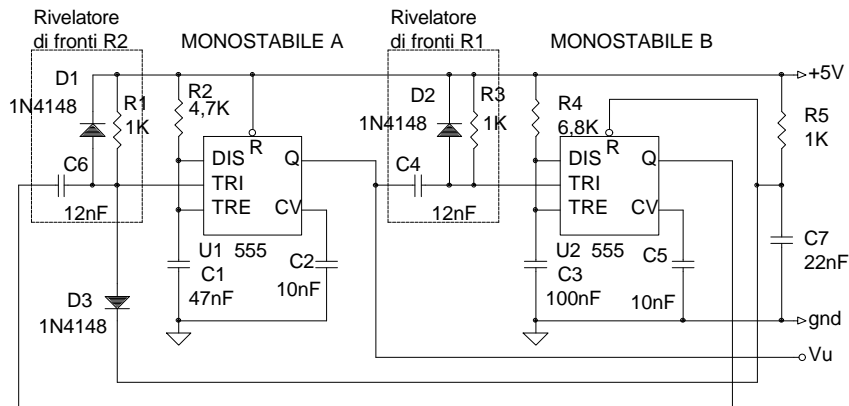


fig. 3 Soluzione circuitale con il Timer Universale NE555

Procediamo al dimensionamento del circuito. La formula che fornisce la durata T_{pw} del ciclo di temporizzazione nella connessione monostabile dell'NE555 è la seguente:

$$T_{pw} = 1,1 \cdot RC$$

per cui nel caso del monostabile A risulta

$$R_2 C_1 = \frac{T_1}{1,1} = 227 \text{ms} \quad \text{fissato } C_1 = 47 \text{nF} \text{ si determina } R_2 = 4,84 \text{K} \text{ (valore commerciale } 4,7 \text{K)}$$

nel caso del monostabile B risulta analogamente:

$$R_4 C_3 = \frac{T_0}{1,1} = 682 \text{ms} \quad \text{fissato } C_3 = 100 \text{nF} \text{ si determina } R_4 = 6,8 \text{K} \text{ (valore commerciale } 6,8 \text{K)}$$

La costante di tempo τ dei due rivelatori di fronti deve essere molto inferiore alla durata del ciclo di temporizzazione. Scegliendo τ molto minore di T_1 essa risulta ovviamente molto minore anche di T_0 .

$$R_1 C_6 = R_3 C_4 = \frac{T_1}{20} = 12,5 \text{ms} \quad \text{fissato } R_1 = R_3 = 1 \text{K} \text{ si determina } C_6 = C_4 = 12,5 \text{nF} \text{ (valore comm. } 12 \text{nF)}$$

Da ultimo il gruppo $R_5 C_7$ assicura che all'accensione venga scrupolosamente rispettata l'ipotesi a) in quanto inizialmente C_7 risulta scarico ($V_{C7} = 0$) il monostabile B viene quindi sicuramente "resettato" all'accensione; il diodo D_3 porta contemporaneamente a livello logico 0 l'ingresso Trigger di U_1 assicurando che il monostabile A avvii il suo ciclo di temporizzazione. È evidente che C_7 deve rapidamente caricarsi attraverso R_5 prima che si concluda il ciclo di temporizzazione T_1 (del monostabile A) quindi ci sembra opportuno fissare come segue il valore della costante di tempo.

$$R_5 C_7 = \frac{T_0}{10} = 25 \text{ms} \quad \text{fissato } R_5 = 1 \text{K} \text{ si determina } C_7 = 25 \text{nF} \text{ (valore commerciale } 22 \text{nF)}$$

Il circuito poteva certamente essere sviluppato anche utilizzando soluzioni circuitali di altro tipo: Monostabile CMOS 4538 dotato di rivelatore di fronti incorporato nel circuito integrato, Monostabili a componenti discreti (BJT o JFET), Monostabili con amplificatori operazionali OVA.

Bibliografia

- National Semiconductor CMOS LOGIC Databook 1988
- Signetics Timers 555 - 556 application information