

Applicazioni non lineari.....	2
Comparatore invertente senza isteresi.....	2
Comparatore con isteresi di tipo invertente.....	2
Comparatore con isteresi di tipo non invertente.....	3
Generatore di onde quadre.....	5
Porte logiche OR e AND.....	6
Bistabile set reset.....	6
Generatore di funzioni.....	7
VCO Oscillatore controllato in tensione.....	8
Bibliografia.....	9

*AMPLIFICATORI OPERAZIONALI NORTON 2<sup>a</sup> parte  
applicazioni non lineari*

prof. Cleto Azzani  
IPSIA Moretto Brescia

30 aprile 1995

## Applicazioni non lineari

Le applicazioni non Lineari degli amplificatori operazionali Norton sono basate fondamentalmente sulla caratteristica di trasferimento ingresso-uscita a fianco riportata in fig. 9. Com'è noto nel modello ideale si ha :

$$\begin{aligned} I_{NI} > I_I &\rightarrow V_u = V_{CC} & 1 \\ I_{NI} < I_I &\rightarrow V_u = 0 & 2 \end{aligned}$$

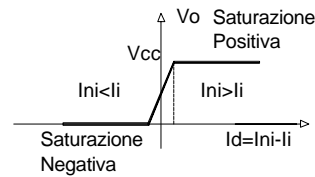


fig.9 Caratteristica di Trasferimento dell'Amplificatore Norton

## Comparatore invertente senza isteresi

In fig. 10 è riportato un esempio di Comparatore invertente (senza isteresi) e in fig. 11 è riportata la caratteristica di trasferimento ossia la funzione  $V_u = f(V_e)$ ; l'ingresso non invertente è alimentato dal generatore  $V_{ref}$ ; l'ingresso invertente dal segnale di ingresso  $V_e$ . Per esso valgono le relazioni seguenti:

$$\frac{V_{ref}}{R_2} > \frac{V_e}{R_1} \rightarrow V_u = V_{CC} \quad 3$$

$$\frac{V_{ref}}{R_2} < \frac{V_e}{R_1} \rightarrow V_u = 0 \quad 4$$

Il valore di tensione

$$V_S = V_{ref} \frac{R_1}{R_2} \quad 5$$

rappresenta la soglia di commutazione del comparatore. Per valori di  $V_e$  inferiori alla soglia,  $V_u$  assume valori prossimi a  $V_{CC}$ ; per valori di  $V_e$  superiori alla soglia,  $V_u$  assume valori prossimi a zero.

Scambiando fra di loro, nel circuito di fig. 10, la sorgente  $V_{ref}$  con l'ingresso  $V_e$ , il circuito si trasforma in comparatore senza isteresi di tipo non invertente che presenta la caratteristica di trasferimento rappresentata in fig. 12

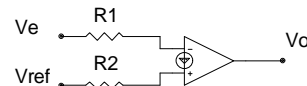


fig.10 Comparatore Invertente senza isteresi

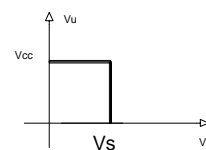


fig.11 Caratteristica  $V_u = f(V_e)$  del Comparatore Inv.

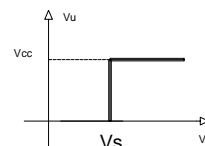


fig. 12 Caratteristica  $V_u = f(V_e)$  del Comparatore Non Inv.

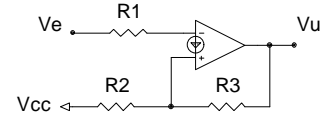


fig.13 Comparatore Invertente con isteresi

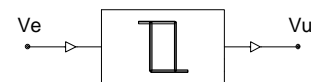


fig.14 Comparatore Invertente con isteresi schema a blocchi funzionale

## Comparatore con isteresi di tipo invertente

In fig. 13 è riportato lo schema elettrico di un comparatore con isteresi di tipo invertente. Innanzitutto è importante notare che nel circuito è presente una retroazione uscita-ingresso di tipo positivo (la resistenza  $R_3$  è connessa all'ingresso NI dell'operazionale Norton) ciò provoca una esaltazione delle condizioni di instabilità del circuito tanto che l'uscita  $V_u$  può assumere solo due valori corrispondenti ai livelli di saturazione positivo o negativo. Procediamo ad analizzare il funzionamento del circuito di fig. 13:

$$I_I = \frac{V_e}{R_1}$$

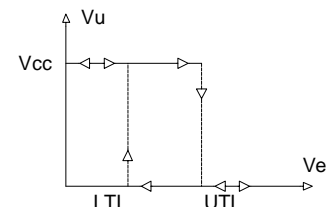


fig. 15 Comparatore Invertente con isteresi caratteristica di trasferimento

$$I_{NI} = \frac{V_u}{R_3} + \frac{V_{CC}}{R_2} \quad 7$$

Imponendo nel circuito il verificarsi della condizione (1) dalla (6) e dalla (7) si ottiene :

$$\frac{V_e}{R_1} < \frac{V_{CC}}{R_3} + \frac{V_{CC}}{R_2} \quad 8$$

ossia :

$$V_e < V_{CC} \left( \frac{R_1}{R_3} + \frac{R_1}{R_2} \right) \quad 9$$

il valore

$$UTL = V_{CC} \left( \frac{R_1}{R_3} + \frac{R_1}{R_2} \right) \quad 10$$

rappresenta la soglia di commutazione superiore (Upper Triggering Level) del comparatore. Se  $V_e$  supera il valore UTL dato dalla (10) l'uscita del comparatore commuta dal livello di saturazione positivo ( $V_{CC}$ ) a quello negativo (0); risulta ora verificata la relazione (2) che può essere riscritta componendo la (6) e la (7) con  $V_u=0$ :

$$\frac{V_e}{R_1} > \frac{V_{CC}}{R_2} \quad 11$$

Il valore

$$LTL = V_{CC} \frac{R_1}{R_2} \quad 12$$

rappresenta la soglia di commutazione inferiore (Lower Triggering Level) del comparatore. Se  $V_e$  scende al di sotto del valore LTL dato dalla (12) l'uscita del comparatore commuta dal livello di saturazione negativo (0) a quello positivo ( $V_{CC}$ ); risulta ora verificata la relazione (1). L'isteresi del ciclo  $V_H$  è data dalla relazione:

$$V_H = U_{TL} - L_{TL} = V_{CC} \cdot \frac{R_1}{R_3} \quad 13$$

La caratteristica di trasferimento del comparatore è rappresentata in fig. 15; si noti che l'operazionale Norton consente il funzionamento del comparatore solamente nel 1° quadrante in quanto l'alimentazione singola (e non duale) consente valori di  $V_u$  solamente positivi, inoltre, lo specchio di corrente, ammette solo intensità di corrente positive prodotte da  $V_e > 0$ .

### **Comparatore con isteresi di tipo non invertente**

In fig. 16 è riportato lo schema elettrico di un comparatore con isteresi di tipo non invertente. Innanzitutto è importante notare che nel circuito è presente una retroazione uscita-ingresso di tipo positivo (la resistenza  $R_3$  è connessa all'ingresso NI dell'operazionale Norton) ciò provoca una esaltazione delle condizioni di instabilità del circuito tanto che l'uscita  $V_u$  può assumere solo due valori corrispondenti ai livelli di saturazione positivo o negativo. Procediamo ad analizzare il funzionamento del circuito di fig. 16:

$$I_I = \frac{V_{CC}}{R_1} \quad 14$$

$$I_{NI} = \frac{V_u}{R_3} + \frac{V_e}{R_2} \quad 15$$

Imponendo nel circuito il verificarsi della condizione (1) dalla (14) e dalla (15) si ottiene :

$$\frac{V_{CC}}{R_1} < \frac{V_{CC}}{R_3} + \frac{V_e}{R_2} \quad 16$$

ossia :

$$V_e > V_{CC} \left( \frac{R_2}{R_1} - \frac{R_2}{R_3} \right) \quad 17$$

il valore

$$LTL = V_{CC} \left( \frac{R_2}{R_1} - \frac{R_2}{R_3} \right) \quad 18$$

rappresenta la soglia di commutazione inferiore (Lower Triggering Level) del comparatore. Se  $V_e$  va al di sotto del valore LTL dato dalla (18) l'uscita del comparatore commuta dal livello di saturazione positivo ( $V_{CC}$ ) a quello negativo (0); risulta ora verificata la relazione (2) che può essere riscritta componendo la (14) e la (15) con  $V_u=0$ :

$$\frac{V_{CC}}{R_1} > \frac{V_e}{R_2} \quad 19$$

Il valore

$$UTL = V_{CC} \frac{R_2}{R_1} \quad 20$$

rappresenta la soglia di commutazione superiore (Upper Triggering Level) del comparatore. Se  $V_e$  supera il valore UTL dato dalla (20) l'uscita del comparatore commuta dal livello di saturazione negativo (0) a quello positivo ( $V_{CC}$ ); risulta ora verificata la relazione (1).

L'isteresi del ciclo  $V_h$  è data dalla relazione:

$$V_H = U_{TL} - L_{TL} = V_{CC} \cdot \frac{R_2}{R_3} \quad 21$$

## Generatore di onde quadre

Un generatore di onde quadre è circuito "astabile" ossia un circuito in grado di generare spontaneamente dei segnali di forma d'onda quadra. In fig. 18 è presentato lo schema della connessione astabile realizzata con amplificatore operazionale Norton. Inizialmente  $V_c=0$  e  $V_u=V_{CC}$ ; il circuito infatti contiene un comparatore con isteresi di tipo invertente.  $C_1$  perciò si carica attraverso  $R_1$  con legge esponenziale (infatti  $R_2 \gg R_1$  rende trascurabile la corrente assorbita dall'operazionale):

$$v_c = V_{CC} \cdot \left( 1 - e^{-\frac{t}{R_1 \cdot C_1}} \right) \quad t = R_1 \cdot C_1 \quad 22$$

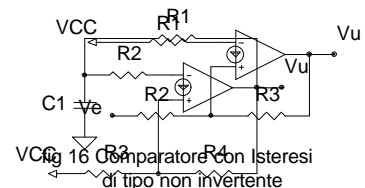


fig 16 Comparatore con Isteresi di tipo non invertente

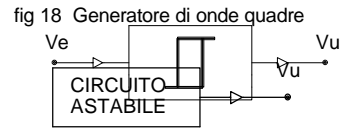


fig 17 Schema a blocchi

fig 19 Schema a blocchi

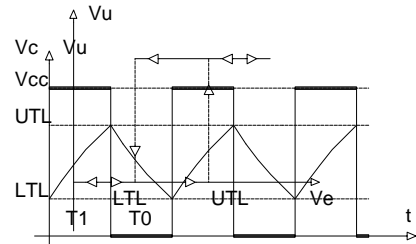


fig 17 Caratteristica di trasferimento

fig. 20 Andamento nel tempo di  $V_c$  e  $V_u$

rappresenta la "costante di tempo" del circuito. Trascorso un determinato tempo,  $V_C$  raggiunge il livello UTL del comparatore con isteresi sicché  $V_U$  passa a 0.  $C_1$  si scarica progressivamente con la medesima costante di tempo. Trascorso un determinato tempo  $T_0$ ,  $V_C$  raggiunge il valore LTL e l'uscita ricommuta a  $V_{CC}$  ed il ciclo si ripete da capo. La situazione di regime che si stabilisce nel circuito è rappresentata nel grafico di fig. 20. Per determinare la relazione matematica che intercorre fra  $T_1$ ,  $T_0$ , le soglie UTL, LTL, la costante di tempo, i livelli di alimentazione  $V_{CC}$ ,  $V_{EE}$  si deve ricorrere alla relazione fondamentale:

$$v_C = v_I + (v_F - v_I) \cdot \left(1 - e^{-\frac{t}{\tau}}\right) \quad 23$$

$V_i$  rappresenta il valore iniziale,  $V_f$  il valore finale a cui tende  $V_C$  (valore raggiunto solo a condensatore completamente carico). Durante il ciclo di carica impongo che, trascorso il tempo  $T_1$ ,  $V_C$  raggiunga il livello UTL.

$$v_C(T_1) = UTL = LTL + (V_{CC} - LTL) \cdot \left(1 - e^{-\frac{T_1}{\tau}}\right) \quad 24$$

da cui risulta :

$$T_1 = \tau \cdot \ln\left(\frac{V_{CC} - LTL}{V_{CC} - UTL}\right) \quad 25$$

Durante la fase di scarica impongo che trascorso il tempo  $T_0$ ,  $V_C$  raggiunga il livello LTL.

$$v_C(T_0) = LTL = UTL - UTL \cdot \left(1 - e^{-\frac{T_0}{\tau}}\right) \quad 26$$

da cui risulta :

$$T_0 = \tau \cdot \ln\frac{UTL}{LTL} \quad 27$$

## Porte logiche OR e AND

In fig. 21 e 22 sono riportati i circuiti che realizzano rispettivamente la funzione OR e la funzione AND. Nel circuito di fig. 21 (elemento OR a 3 ingressi) deve essere sufficiente alimentare con Vcc uno qualsiasi dei tre ingressi A, B, C per provocare il passaggio a Vcc (livello alto) dell'uscita. E' perciò evidente che per la (1) deve risultare:

$$\frac{V_{CC}}{R} > \frac{V_{CC}}{R_1} \rightarrow R < R_1 \quad 28$$

Nel circuito di fig. 22 (elemento AND a 3 ingressi) deve essere necessario e alimentare con Vcc tutti e tre gli ingressi A, B, C per provocare il passaggio a Vcc (livello alto) dell'uscita; inoltre la alimentazione di due qualsiasi degli ingressi (ad es. A e B) deve mantenere l'uscita Vu a 0V (livello basso). E' perciò evidente che per la (1) deve risultare:

$$\frac{V_{CC}}{\frac{R}{3} + R_2} > \frac{V_{CC}}{R_1} \rightarrow \frac{3 \cdot V_{CC}}{R + 3 \cdot R_2} > \frac{V_{CC}}{R_1} \quad 29$$

Per la (2) deve anche risultare:

$$\frac{2 \cdot V_{CC}}{R + 3 \cdot R_2} < \frac{V_{CC}}{R_1} \quad 30$$

La scelta ottimale per una corretta funzionalità della porta AND dovrà soddisfare la relazione:

$$\frac{V_{CC}}{R_1} = \frac{1}{2} \left( \frac{3 \cdot V_{CC}}{R + 3 \cdot R_2} + \frac{2 \cdot V_{CC}}{R + 3 \cdot R_2} \right) \quad 31$$

da cui risulta immediatamente :

$$R_1 = \frac{2}{5} (R + 3 \cdot R_2) \quad 32$$

## Bistabile set reset

In fig. 23 è riportato il circuito che realizza la funzione bistabile Set Reset. E' immediato scrivere le seguenti relazioni che riguardano le correnti sugli ingressi:

$$I_I = \frac{V_{CC}}{R_1} + \frac{V_{RES}}{R_2} \quad 33$$

$$I_{NI} = \frac{V_u}{R_4} + \frac{V_{SET}}{R_3}$$

34

Con uscita Vu=0 e ingressi Set e Reset non alimentati (a 0V) l'uscita rimane certamente a 0V in quanto la relazione (2) è sicuramente verificata essendo Ini=0.

Con uscita Vu=Vcc e ingressi Set e Reset non alimentati (a 0V) l'uscita deve rimanere a livello alto (Vu=Vcc); in questo caso deve essere verificata la (1) per cui risulta:

$$\frac{V_{CC}}{R_4} > \frac{V_{CC}}{R_1} \rightarrow R_4 < R_1 \quad 35$$

Con uscita Vu=0, alimentando l'ingresso di Set (con Vcc) deve essere verificata la condizione (1) per consentire all'uscita di portarsi a livello alto.

$$\frac{V_{CC}}{R_3} > \frac{V_{CC}}{R_1} \rightarrow R_3 < R_1 \quad 36$$

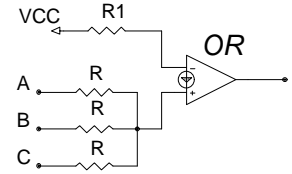


fig. 21 Porta OR a 3 ingressi

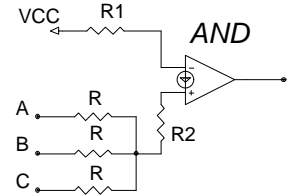


fig. 22 Porta AND a 3 ingressi

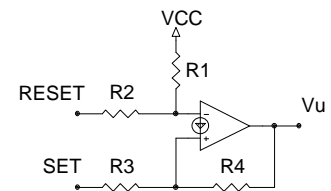


fig. 23 Bistabile Set Reset

Con uscita  $V_u=V_{cc}$ , alimentando l'ingresso di Reset (con  $V_{cc}$ ) deve essere verificata la condizione (2) per consentire all'uscita di portarsi a livello basso.

$$\frac{V_{cc}}{R_2} + \frac{V_{cc}}{R_1} > \frac{V_{cc}}{R_4}$$

37

## Generatore di funzioni

Il circuito riportato in fig. 24 rappresenta un generatore di funzioni costituito da un circuito integratore e da un comparatore con isteresi invertente. In fig. 25 è riportato l'andamento nel tempo della tensione  $V_{u1}$  in uscita all'integratore e in fig. 26 l'andamento nel tempo della tensione in uscita  $V_{u2}$  al comparatore con isteresi invertente.

Partendo inizialmente con  $C_1$  scarico e tensione di uscita  $V_{u2}$  pari al livello di saturazione positivo  $V_{cc}$ , avremo una prima carica di  $C_1$  a corrente costante (circuito integratore) fino al valore  $UTL$ , a questo punto interviene il comparatore con isteresi che commuta la sua uscita da  $V_{cc}$  a 0 per cui la tensione ai capi di  $C$  ( $V_{u1}$ ) scende con legge lineare finché raggiunge il livello  $LTL$  da cui riparte il ciclo. Sulla uscita dell'integratore si può prelevare un segnale di forma d'onda triangolare, ampiezza picco picco pari a  $V_H$  (isteresi del comparatore), sulla uscita del comparatore con isteresi si può prelevare una  $V_{u2}$  di forma d'onda quadra e ampiezza picco picco pari a  $V_{cc}$ . Per determinare la relazione matematica che intercorre fra  $T_1$ ,  $T_0$ , le soglie  $UTL$ ,  $LTL$ , la costante di tempo, i livelli di alimentazione  $V_{cc}$ , si deve ricorrere alle relazioni (vedi integratore):

$$\frac{dV_u}{dt} = \frac{V_{cc}}{C_1} \left( \frac{1}{R_2} - \frac{1}{R_1} \right) \quad V_{u2} = V_{cc} \quad 38$$

$$\frac{dV_u}{dt} = -\frac{V_{cc}}{R_1 \cdot C_1} \quad V_{u2} = 0 \quad 39$$

Lo studio della situazione di regime inizia con l'analisi di  $T_0$  durante tale intervallo l'espressione di  $V_{u1}$  è la seguente:

$$v_c(t) = UTL - \frac{V_{cc}}{R_1 \cdot C_1} t \quad 40$$

Imponendo che all'istante  $T_0$   $V_c$  raggiunge il livello  $LTL$  si ha:

$$v_c(T_0) = UTL - \frac{V_{cc}}{R_1 \cdot C_1} \cdot T_0 = LTL \quad 41$$

da cui si ricava :

$$T_0 = \frac{UTL - LTL}{V_{cc}} \cdot R_1 C_1 = \frac{V_H}{V_{cc}} \cdot R_1 C_1 \quad 42$$

procedendo in modo analogo per quanto concerne la carica di  $C$  durante l'intervallo di tempo  $T_1$  si ha:

$$v_c(t) = LTL + \frac{V_{cc}}{C_1} \left( \frac{1}{R_2} - \frac{1}{R_1} \right) t \quad 43$$

Imponendo che all'istante  $T_1$   $V_c$  raggiunge il livello  $UTL$  si ha:

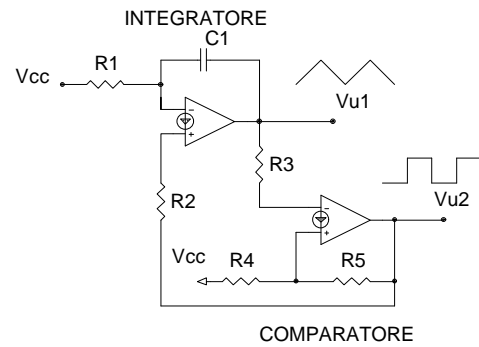


fig. 24 Schema Elettrico di un Generatore di funzioni

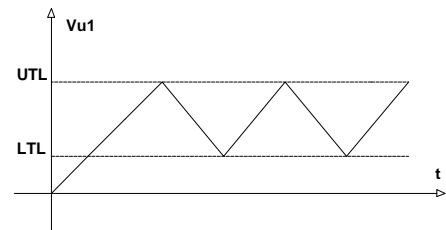


fig. 25 Tensione  $V_{u1}$  in uscita all'integratore

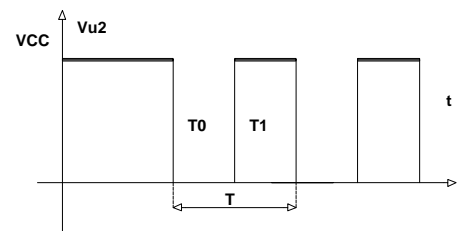


fig. 26 Tensione in uscita al circuito

$$v_c(T_1) = LTL + \frac{V_{CC}}{C_1} \left( \frac{1}{R_2} - \frac{1}{R_1} \right) \cdot T_1 = UTL \quad 44$$

da cui si ricava :

$$T_1 = \frac{UTL - LTL}{V_{CC}} \cdot C_1 \frac{R_1 R_2}{R_1 - R_2} = \frac{V_H}{V_{CC}} \cdot C_1 \frac{R_1 R_2}{R_1 - R_2} \quad 45$$

concludendo si ottiene:

$$T = T_0 + T_1 = \frac{V_H}{V_{CC}} \cdot C_1 \cdot \frac{R_1^2}{R_1 - R_2} \quad 46$$

### VCO Oscillatore controllato in tensione

Il circuito riportato in fig. 27 rappresenta un generatore di funzioni costituito da un circuito integratore e da un comparatore con isteresi non invertente; in tale circuito, facendo variare la tensione di controllo  $V_c$ , è possibile modificare il valore della frequenza del segnale generato.

Gli andamenti nel tempo di  $V_{u1}$  e  $V_{u2}$  sono riportati in fig. 28.

Partendo inizialmente con  $C_1$  scarico e tensione di uscita  $V_{u2}$  pari a 0V, il transistor  $Q_1$  risulterà interdetto per cui  $C_1$  potrà caricarsi con legge lineare (circuito integratore) fino al valore UTL. In virtù del fatto che risulta:

$$R_2 = \frac{R_1}{2} \quad 47$$

per cui la (38) ci fornisce il risultato:

$$\frac{dV_u}{dt} = \frac{V_c}{C_1 R_1} \quad 48$$

La durata a livello basso  $T_0$  dell'uscita, si determina dalla relazione:

$$v_c(T_0) = LTL + \frac{V_c}{C_1 R_1} \cdot T_0 = UTL \quad 49$$

da cui si deduce immediatamente :

$$T_0 = \frac{UTL - LTL}{V_c} C_1 R_1 = \frac{V_H}{V_c} C_1 R_1 \quad 50$$

Quando  $V_{u1}$  raggiunge il livello UTL il comparatore con isteresi commuta, l'uscita da 0V si porta a  $V_{CC}$  il transistor  $Q_1$  passa dallo stato di interdizione a quello di saturazione; istantaneamente  $V_{u1}$  passa al valore 0; per cui inizia la scarica lineare di  $C_1$  nell'ambito del circuito integratore.

per cui la (39) ci fornisce il risultato:

$$\frac{dV_u}{dt} = - \frac{V_c}{R_1 \cdot C_1} \quad 51$$

La durata a livello alto  $T_1$  dell'uscita, si determina dalla relazione:

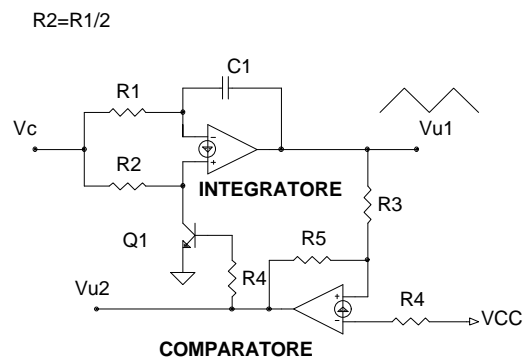


fig. 27 VCO Oscillatore Controllato in tensione

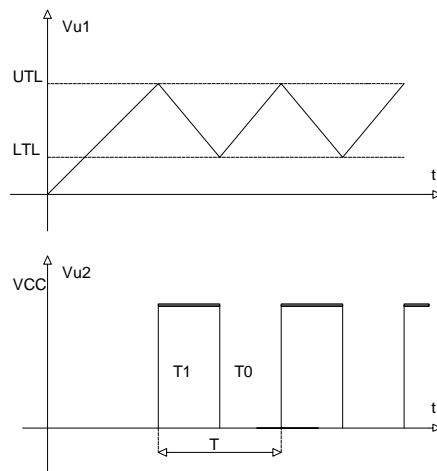


fig. 28 Grafici di  $V_{u1}$  e  $V_{u2}$  circuito fig. 27



$$v_c(t) = UTL - \frac{V_c}{R_1 \cdot C_1} t \quad 52$$

$$v_c(T_1) = UTL - \frac{V_c}{R_1 \cdot C_1} \cdot T_1 = LTL \quad 53$$

da cui si deduce immediatamente :

$$T_1 = \frac{UTL - LTL}{V_c} C_1 R_1 = \frac{V_H}{V_c} C_1 R_1 \quad 54$$

Quando Vu1 raggiunge il livello LTL il comparatore con isteresi commuta, l'uscita da Vcc si porta a 0V, il transistor Q1 passa dallo stato di saturazione a quello di interdizione ed il ciclo si ripete da capo. Il periodo del segnale Vu1 oppure di Vu2 è dato da:

$$T = T_0 + T_1 = 2 \frac{V_H}{V_c} \cdot C_1 R_1 \quad 55$$

da cui immediatamente:

$$f = \frac{1}{T} = \frac{V_c}{2 \cdot V_H \cdot C_1 R_1} \quad 56$$

L'espressione (56) mette in evidenza che nel circuito di fig. 27 esiste proporzionalità diretta fra frequenza generata e tensione di controllo Vc.

$$K_{VCO} = \frac{f_U}{V_c} = \frac{1}{2 \cdot V_H \cdot C_1 R_1} \quad 57$$

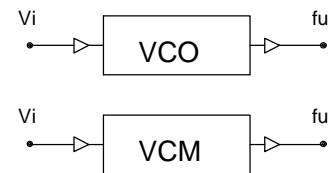


fig. 29 VCO/CVM

## Bibliografia

- National Semiconductor *Linear Application Handbook 1986 (pag. 211)*  
 - T. M. Frederiksen AN72 *The LM3900 : a new current differencing quad of input amplifier*