

Sommario

Principio di funzionamento	2
Comparatore di fase con porta EXOR.....	2
Comparatore di fase di tipo Edge Triggered.....	3
Comparatore di fase analogico: Modulatore a Prodotto	3
PLL PHASE LOCK LOOP (Maglia ad aggancio di fase).....	4
CIRCUITO pratico	5
BIBLIOGRAFIA	5

PLL PHASE LOCK LOOP (Maglia ad aggancio di fase)

prof. Cleto Azzani
IPSIA Moretto Brescia

29/04/95

azzani@ipsiamoretto.it

Principio di funzionamento

Il circuito PLL (Phase Lock Loop/Maglia ad aggancio di fase) è un circuito elettronico in cui si utilizza il principio della retroazione negativa per controllare la fase e quindi la frequenza del segnale di uscita. Si tratta in altri termini di un sistema controllato costituito da quattro elementi fondamentali:

- 1)- Phase Comparator (Comparatore di fase)
- 2)- LPF (Low Pass Filter/Filtro passa basso)
- 3)- VCM o VCO (Voltage Controlled Oscillator o Multivibratore / Oscillatore o Multivibratore controllato in tensione)
- 4)- Counter (Contatore con funzioni di divisore di frequenza)

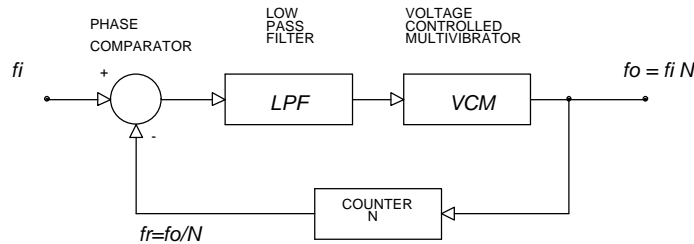


fig. 1 Schema a blocchi di un PLL

Comparatore di fase con porta EXOR

In fig. 2 è riportato lo schema che descrive il principio di funzionamento di un comparatore di fase realizzato con porta EXOR. Due generatori di onde quadre G1 e G2 aventi medesima frequenza, duty cycle 50% ma fase differente alimentano i due ingressi di una porta EXOR. Il segnale in uscita si costruisce facilmente tenendo presente che l'uscita si trova a livello logico 0 se i due ingressi sono entrambi allo stesso livello logico mentre l'uscita si trova a livello logico 1 se i due ingressi si trovano su livelli logici differenti.

Analizzando il segnale di uscita si osserva quanto segue:

a) La frequenza è doppia rispetto a quella dei segnali di ingresso V1 e V2,

b) Il valore medio del segnale di uscita ha l'andamento riportato in fig. 2 ossia cresce linearmente al crescere del ritardo ΔT fra 0 e $T/2$, decresce linearmente al crescere del ritardo ΔT fra $T/2$ e T .

$$V_m = \frac{2 \cdot V_{DD} \cdot \Delta T}{T} \quad \left(0 \leq \Delta T \leq \frac{T}{2} \right) \quad 1.1$$

$$V_m = \frac{2 \cdot V_{DD} \cdot (T - \Delta T)}{T} \quad \left(\frac{T}{2} \leq \Delta T \leq T \right) \quad 1.2$$

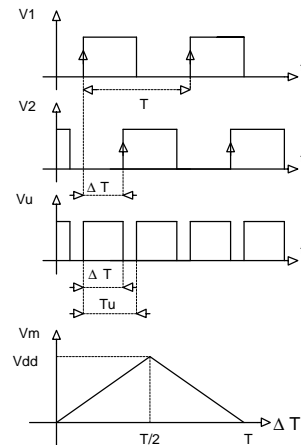
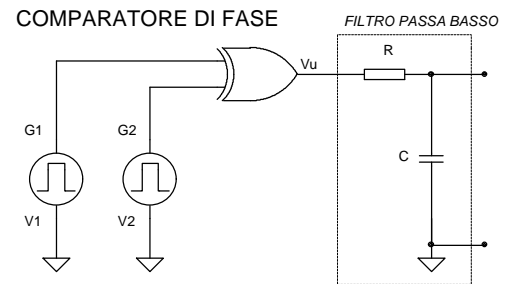


fig. 2 Comparatore di fase di tipo EXOR

Il filtro Passa Basso serve ad estrarre dal segnale presente in uscita alla porta EXOR il valore medio V_m dato dalle due formule 1.1 o 1.2.

Comparatore di fase di tipo Edge Triggered

In fig. 3 è riportato lo schema che descrive il principio di funzionamento di un comparatore di fase realizzato con flip flop RS di tipo Edge Triggered ossia attivato dai fronti (che supponiamo di salita). Il generatore di onde quadre G1 alimenta l'ingresso S del bistabile RS, il generatore di onde quadre G2 alimenta l'ingresso R del bistabile. Avendo supposto V2 in ritardo del tempo ΔT rispetto a V1, ne segue che sul fronte di salita di V1 Q passa a 1 mentre sul fronte di salita di V2 Q ritorna a 0. Il valore medio del segnale presente sulla uscita Q del bistabile RS cresce proporzionalmente con il ritardo ΔT secondo la relazione:

$$V_m = \frac{V_{DD} \cdot \Delta T}{T} \quad (0 \leq \Delta T \leq T) \quad 1.3$$

Il filtro Passa Basso serve ad estrarre dal segnale presente in uscita al bistabile RS edge triggered il valore medio V_m .

In entrambi i circuiti di fig. 2 e di fig. 3 si noti che se il ritardo eccede il valore T (periodo del segnale di ingresso) il valore medio V_m del segnale in uscita al circuito ripete lo stesso andamento presentato per $(0 \leq \Delta T \leq T)$ la funzione $V_m(\Delta T)$ si presenta quindi con andamento periodico con periodo T.

COMPARATORE DI FASE

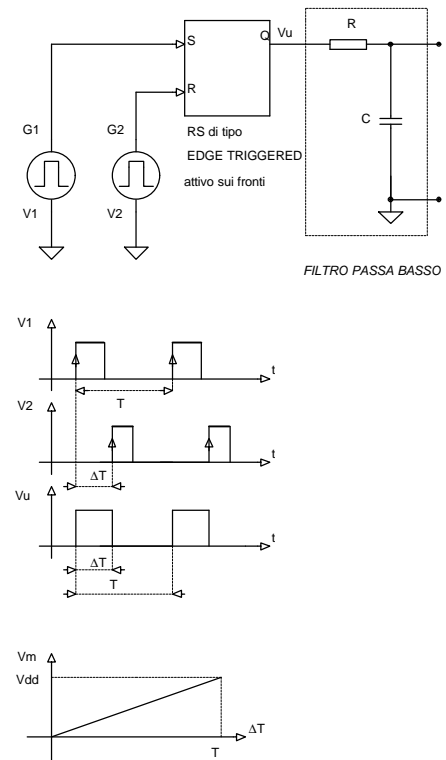


fig. 3 Comparatore di fase di tipo Edge Triggered

Comparatore di fase analogico: Modulatore a prodotto

Con riferimento allo schema a blocchi di fig. 4 si noti che il Modulatore a Prodotto riceve in ingresso da un lato il segnale sinusoidale V_1 a frequenza f_1 e fase ϕ_1 :

$$V_1 \sin(\omega_1 t + \mathbf{j}_1)$$

sull'altro ingresso il segnale V_2 a frequenza f_1 e fase ϕ_2 :

$$V_2 \sin(\omega_1 t + \mathbf{j}_2)$$

Il segnale xy in uscita, sarà dato dalla seguente espressione:

$$xy = V_1 \sin(\omega_1 t + \mathbf{j}_1) \cdot V_2 \sin(\omega_2 t + \mathbf{j}_2) = \frac{V_1 \cdot V_2}{2} [\cos(\mathbf{j}_1 - \mathbf{j}_2) - \cos(2\omega_1 t + \mathbf{j}_1 + \mathbf{j}_2)] \quad 1.4$$

Il segnale in uscita al filtro passa basso è rappresentato dal valore medio dell'espressione 1.4 che da il seguente risultato:

$$[xy]_m = \frac{V_1 V_2}{2} [\cos(\mathbf{j}_1 - \mathbf{j}_2)] = \frac{V_1 V_2}{2} \cos \Delta \mathbf{j} \quad 1.5$$

essendo il valore medio del secondo termine (cosinusoide di frequenza $2f_1$) pari a zero. Si noti che l'espressione 1.5 ci fornisce la seguente considerazione: il valore medio presente in uscita al filtro passa basso è proporzionale al coseno dell'angolo di sfasamento $\Delta \phi = \phi_1 - \phi_2$ esistente fra i due segnali applicati agli ingressi del modulatore a prodotto. Il legame fra V_u e $\Delta \phi$ non è lineare; per $\Delta \phi = 0$ la tensione d'uscita assume il massimo valore positivo, per $\Delta \phi = \pi/2$ la tensione d'uscita assume valore 0 e per $\Delta \phi =$

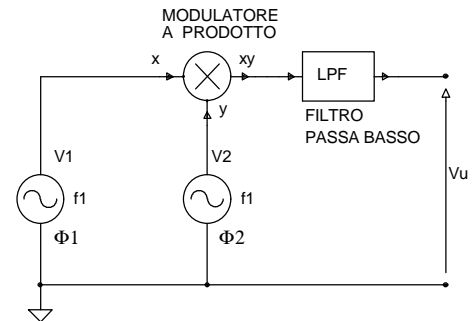


fig. 4 Rivelatore di fase con Modulatore a Prodotto

π la tensione d'uscita assume il massimo valore negativo. Solo per piccole variazioni di $\Delta\phi$ si può ritenere, sia pure in prima approssimazione, linearizzabile la funzione $V_u=V_u(\Delta\phi)$.

PLL PHASE LOCK LOOP (Maglia ad aggancio di fase)

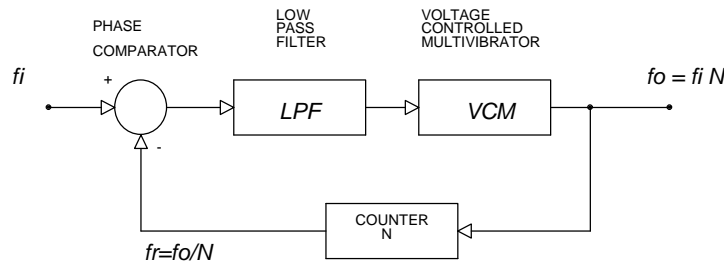


fig. 5 Schema a blocchi di un PLL

Nello schema a blocchi di fig. 5 si osservi che il segnale dall'uscita del comparatore di fase, dopo un adeguato trattamento ad opera di un apposito filtro Passa Basso LPF, viene inviato all'ingresso del circuito VCO o VCM il quale fornisce in uscita al sistema un segnale (sinusoidale, rettangolare o di altro genere) a frequenza variabile dipendente dall'ampiezza del segnale presente in ingresso.

Il Contatore Divisore per N ha il compito di prelevare il segnale in uscita, dividerne la frequenza per N e fornire così il segnale di retroazione al comparatore di fase che costituisce il nodo di confronto del sistema retroazionato.

Come è noto dalla teoria sui controlli automatici, se in un sistema ad anello chiuso il guadagno della catena diretta G è elevato, l'ampiezza del segnale errore E risulta essere piccola (al limite se $G \Rightarrow \infty \Rightarrow E \Rightarrow 0$). l'ampiezza del segnale errore E risulta proporzionale alla differenza di fase tra segnale di riferimento X e segnale di retroazione R ; quindi ammettere E nullo significa affermare che la differenza di fase è 0 ma ciò significa che il segnale di retroazione è costantemente in fase con il segnale di riferimento. Perchè ciò avvenga è necessario che il segnale di retroazione abbia frequenza esattamente uguale a quella di riferimento. *Più esattamente sarà opportuno qui rilevare che se due segnali hanno la stessa frequenza non necessariamente questi due segnali hanno la stessa fase; mentre se fra due segnali lo sfasamento risulta essere costante (al limite se lo sfasamento è 0 ossia se i due segnali sono in fase fra loro) allora necessariamente questi due segnali devono avere frequenza eguale.*

Dette

- f_o la frequenza in uscita al PLL
- f_i la frequenza di riferimento del PLL
- N il rapporto di divisione del contatore

risulta che:

$$f_i = f_o/N$$

ossia

$$f_o = f_i N$$

Praticamente il guadagno della catena diretta G non potrà assumere un valore infinito per cui il segnale errore avrà un valore diverso da zero, quindi fra segnale di riferimento e segnale di retroazione esisterà uno sfasamento che si manterrà verosimilmente costante ad un valore tale da permettere al VCO o VCM di agganciare in fase il segnale di riferimento. Si osservi comunque che perchè due segnali abbiano la stessa

frequenza non è necessario che il loro sfasamento sia 0 ma è sufficiente che esista fra loro uno sfasamento costante.

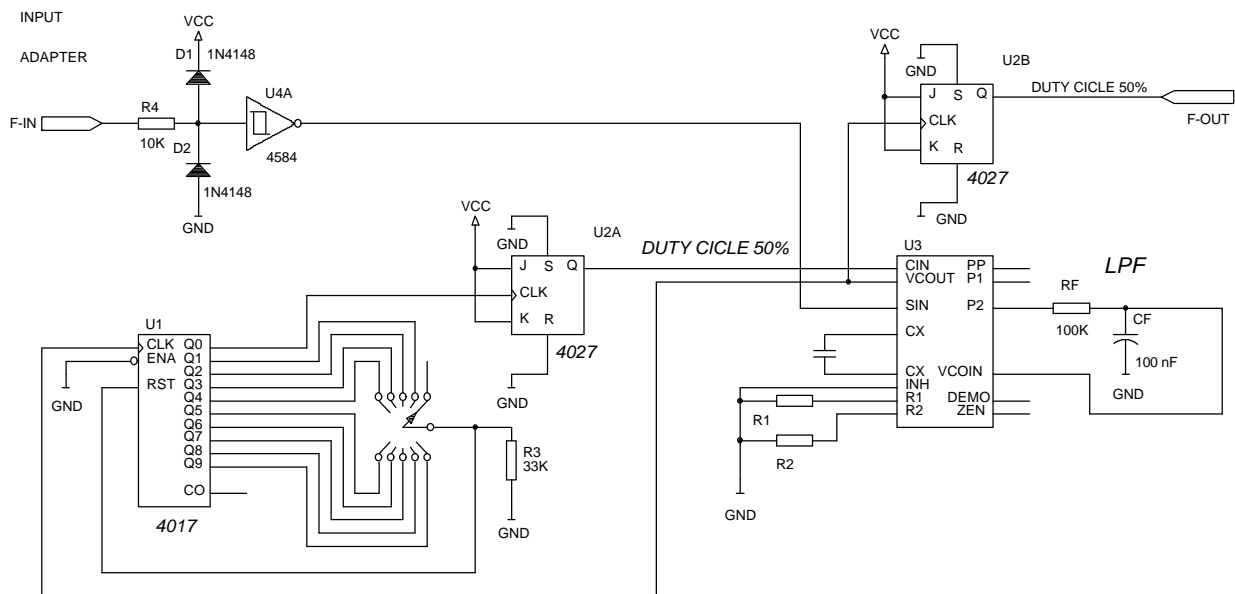
Il PLL CD4046 è un PLL integrato realizzato in tecnologia CMOS che contiene i seguenti elementi:

- 1) Phase Comparator I (compar. di fase tipo EXOR)
- 2) Phase Comparator II (compar. di fase "edge-controlled")
- 3) VCM (Voltage Controlled Multivibrator)

quindi per realizzare un circuito PLL completo sarà necessario corredare con un filtro passa-basso LPF e con un adatto Contatore divisore per N.

CIRCUITO pratico

PHASE LOCK LOOP MAGLIA AD AGGANCIAMENTO DI FASE



BIBLIOGRAFIA

- National Semiconductor CMOS LOGIC Databook 1988