

## SOMMARIO

GENERALITÀ SUI REGISTRI A SCORRIMENTO (SHIFT-REGISTER).....	2
<i>Applicazioni</i> .....	3
<i>Caricamento asincrono di un flip-flop</i> .....	4
<i>Interfacce seriali</i> .....	6
<i>Protocollo di comunicazione asincrono</i> .....	6
<i>Ricevitore asincrono</i> .....	7

## ***La porta seriale nei PC***

prof. Cleto Azzani

IPSIA Moretto Brescia

maggio 1999

## Generalità sui Registri a Scorrimento (shift-register)

I registri a scorrimento o “shift-register” di seguito abbreviati con la sigla SR, sono circuiti sequenziali sincroni costituiti da flip flop connessi tra loro in cascata così da costituire una catena (gli anelli della quale sono i bistabili) ; a seconda del modo di funzionare si distinguono in :

1. shift register di tipo SIPO (serial in parallel out)
2. shift register di tipo PISO (parallel in serial out)
3. shift register di tipo SISO (serial in serial out)
4. shift register di tipo PIPO (parallel in parallel out)

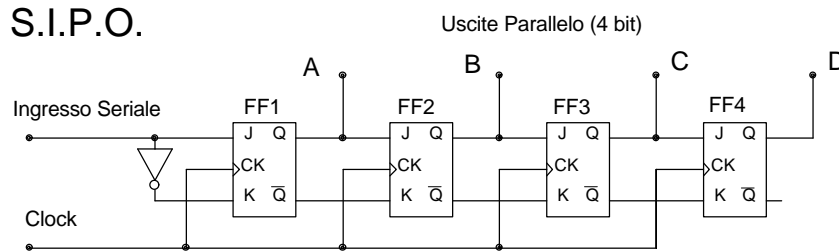


fig. 1 Esempio di Shift Register a 4 bit realizzato con flip flop JK

Un esempio di SR di tipo SIPO a 4 bit è riportato in figura 1. Si noti che i quattro flip flop JK che costituiscono la catena sono connessi in cascata infatti le uscite del bistabile FF1 sono connessi agli ingressi J e K di FF2 e così via. Il dato D che giunge sull'ingresso seriale dello SR (vedi fig. 2) viene memorizzato sul fronte di salita del segnale di clock comune a tutti i flip flop e risulta disponibile sull'uscita A dello SR ; al secondo fronte di salita del clock il dato si sarà trasferito sull'uscita B dello SR , al terzo fronte di salita il dato si sarà trasferito sull'uscita C dello SR e così via.

Se n rappresenta il numero di flip flop che costituiscono lo SR, dopo n clock il dato D raggiungerà l'ultimo flip flop della catena, contemporaneamente il dato campionato in ingresso sul secondo clock giungerà sull'uscita C, quello campionato sul terzo clock giungerà sull'uscita B e quello campionato sul quarto clock giungerà sull'uscita A.

Le uscite dello SR rappresentano quindi le “istantanee” effettuate sul segnale di ingresso ad intervalli regolari di tempo determinati dal periodo del segnale di clock. In fig. 3 è rappresentato uno schema funzionale dello SR di tipo SIPO.

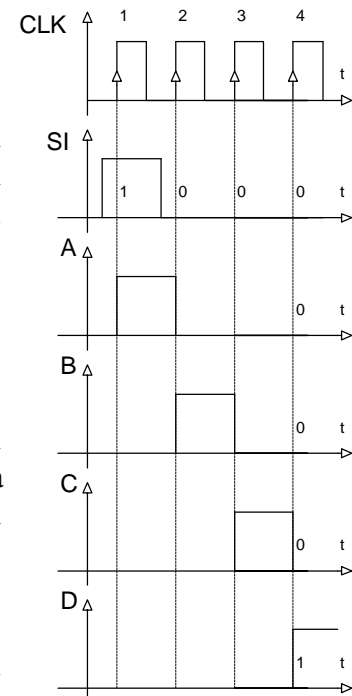


fig. 2

Lo SR di tipo SIPO è l'elemento base per costruire convertitori seriale/parallelo ossia dispositivi capaci di trasformare un segnale digitale proveniente da una sorgente (trasmettitore seriale) in un segnale “parallelo” (bit disponibili in contemporanea su n linee).

Il messaggio e' disponibile sulle uscite parallele solo dopo che lo SR ha ricevuto n clock.

Il messaggio si conserva integro solo per un periodo di clock; il dispositivo ricevente deve perciò provvedere con la massima tempestività a leggere il dato dal SIPO prima che esso venga deteriorato dal sopravvenire

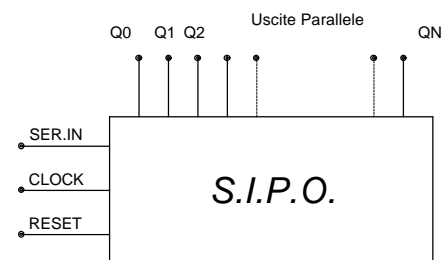


fig. 3 Schema funzionale di uno shift register SIPO

del messaggio successivo (“framing error”). E’ chiaro che la frequenza di clock del ricevitore deve essere pari alla velocità di trasmissione seriale della sorgente.

A titolo di esempio, in fig. 3, viene presentato un esempio concreto di ricevitore sincrono a 16 bit realizzato con componenti della famiglia TTL. Esso impiega il circuito integrato 74LS164 (SIPO a 8 bit) ed il circuito integrato 74LS374 registro parallelo a 8 bit; quest’ultimo e’ stato introdotto per accrescere il tempo a disposizione dell’unità ricevente per effettuare la lettura del messaggio ricevuto dal si-po (16 periodi di clock). Due SIPO a 8 bit connessi in cascata consentono di realizzare un SIPO a 16 bit; clock e clear vengono forniti in contemporanea ai due si-po. Il contatore 74LS93 “binary up counter”, ogni 16 clock fornisce, attraverso la not U1A 74LS04 un fronte di salita ai due registri 74LS374 provocando così la memorizzazione del dato proveniente dai SIPO. Le due not 74LS04 vengono qui impiegate per armonizzare le esigenze di sensibilità ai fronti dei vari circuiti integrati che compaiono nel circuito. La contemporaneità fra reset del contatore 74LS93 e quella dei 74LS164 assicura il sincronismo fra contatore e SIPO.

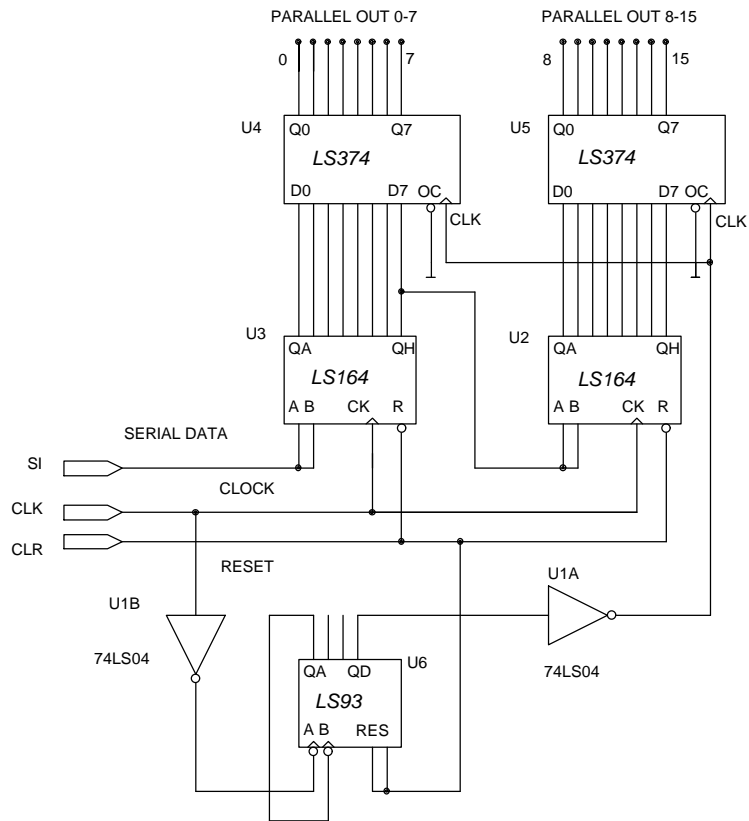


fig. 3 Esempio di Ricevitore Seriale Sincrono a 16 bit

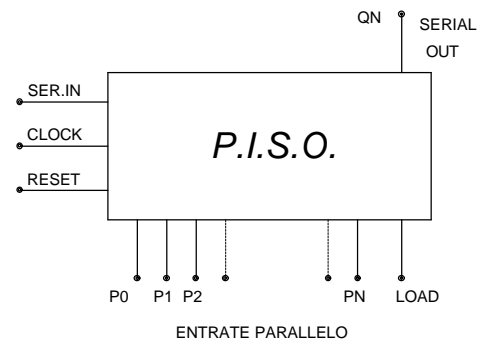
### Applicazioni

Esempi di ricevitori di informazioni seriali sono le “porte seriali” di un PC che possono essere utilizzate ad esempio per ricevere il dato proveniente dal “mouse” che si comporta da “trasmettitore seriale” ma che possono essere utilizzate per ricevere i dati provenienti da un dispositivo remoto interfacciato tramite MODEM e linea telefonica.

Si supponga di corredare ogni bistabile presente nello shift register di una circuiteria di caricamento asincrono come indicato in figura 4; si supponga di connettere fra loro i vari segnali di load al fine di sincronizzare l’operazione di caricamento entro lo shift register; si viene così a realizzare un registro a scorrimento di tipo PISO (parallel in/serial out).

### Generalità

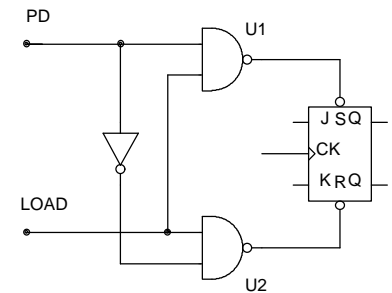
Un registro a scorrimento di tipo PISO riceve i dati provenienti da una sorgente digitale parallela e li trasforma in una stringa di bit serializzati prelevabile sulla uscita Qn. La frequenza di clock determina la velocità di trasmissione del registro a scorrimento ossia il numero di bit emessi dall’uscita Qn nell’unità di tempo. E’ possibile perciò attraverso gli ingressi p0, p1, pn caricare entro il registro un



determinato messaggio proveniente da una sorgente dati parallela; il segnale LOAD abilita l'operazione di caricamento. Il segnale di clock provoca lo scorrimento dei dati che fuoriescono in modo seriale dall'uscita Qn dello shift register.

### Caricamento asincrono di un flip-flop

In fig. 4 è riportato lo schema attraverso il quale è possibile effettuare il caricamento "asincrono" di un bistabile. Per "caricamento asincrono" si intende la procedura attraverso la quale un determinato valore (0 o 1) viene inserito all'interno di un flip-flop in assenza di clock. Osservando la fig.4 si noti che il bistabile JK di figura è dotato di ingressi di "preset" e "clear" asincroni, attivi a livello basso.



CARICAMENTO ASINCRONO DI UN BISTABILE

Se all'ingresso PD applico un livello 0, L'uscita di U1 si porta a livello 1 ; l'uscita di U2 si porta a livello 0 quando anche l'ingresso LOAD passa a livello 1 ; poiché U2 è collegato sull'ingresso di "reset" di U4, ne deriva che l'uscita Q del bistabile passa a livello 0. Se all'ingresso PD applico un livello 1, L'uscita di U2 si porta a livello 1 ; l'uscita di U1 si porta a livello 0 quando anche l'ingresso LOAD passa a livello 1 ; poiché U1 è collegato sull'ingresso di "preset" di U4, ne deriva che l'uscita Q del bistabile passa a livello 1.

PD	LOAD	Q(n)	NOTE
X	0	Q(n-1)	memorizza
0	1	0	reset
1	1	1	preset

Se l'ingresso LOAD viene tenuto a 0, entrambe le uscite di U1 e U2 sono a livello 1 ; ciò impedisce che nel bistabile JK possa essere caricato un qualunque livello logico (0 o 1 che sia).

*N.B. L'operazione di caricamento di un dato entro un bistabile deve avvenire quando il segnale di clock è inattivo altrimenti si corre il rischio di distruggere l'informazione proveniente dagli "ingressi sincroni" J e K. All'ingresso LOAD dovrà perciò essere applicato un segnale "attivo a 1" di breve durata e collocato temporalmente durante le fasi di inattività del clock.*

In fig. 5 sono riportati in un grafico le evoluzioni temporali di Q nel tempo, una volta assegnato l'andamento di PD nell'ipotesi che sia J=K=0. Si noti che il segnale di LOAD diviene attivo in intervalli di tempo in cui il segnale di clock risulta inattivo.

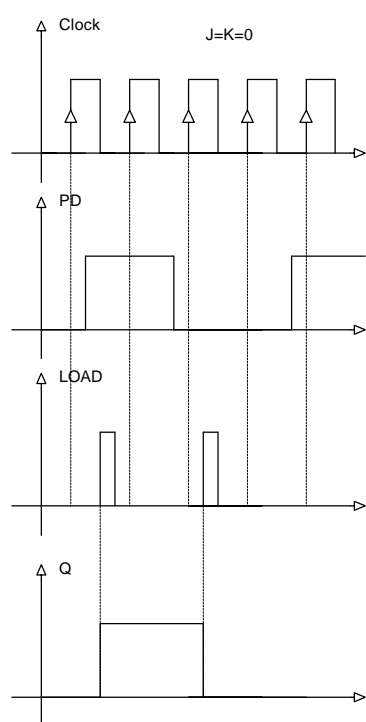


fig.5

In fig. 6 sono riportati in un grafico le evoluzioni temporali di Q nel tempo, una volta assegnato l'andamento di PD nell'ipotesi che sia J=K=1.

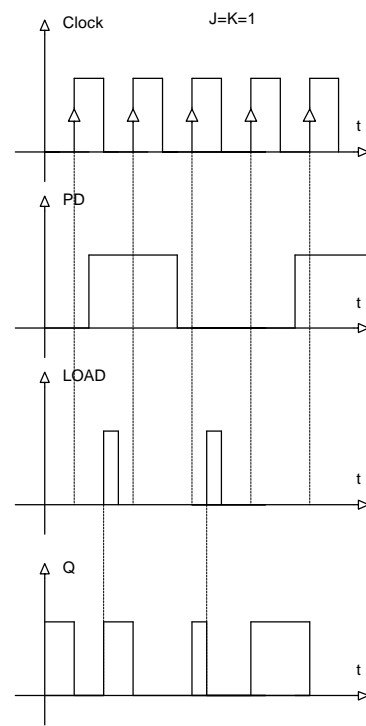
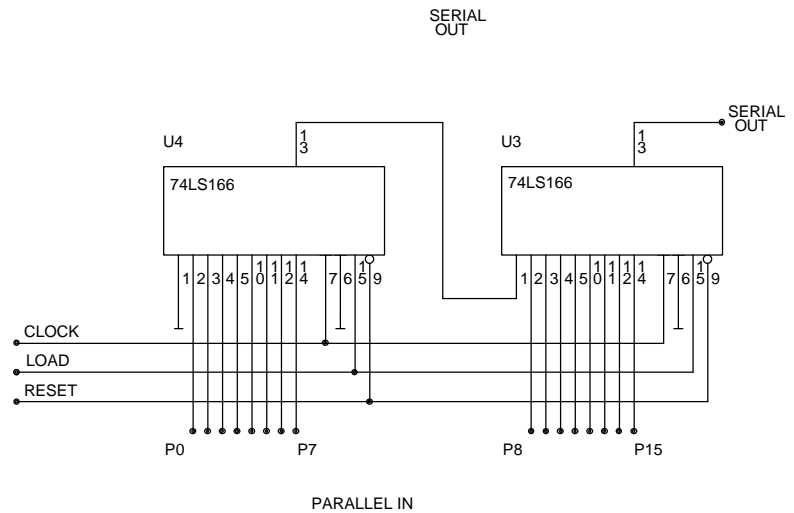


fig. 6

A titolo di esempio, in fig. seguente, viene presentato un esempio di trasmettitore sincrono a 16 bit realizzato con componenti della famiglia TTL. Esso impiega due circuiti integrati 74LS166 (PISO a 8 bit) connessi in cascata. Ogni 16 clock il “trasmettitore” si svuota ed è possibile caricare un nuovo dato da trasmettere. Il segnale di “LOAD” deve però giungere al PISO fra il 16° e il 17° clock ossia prima che inizi la trasmissione del “successivo messaggio”. Con una tecnica di



progetto simile a quella del ricevitore a 16 bit (SIPO) di fig. 3 è possibile dotare il trasmettitore di apposito registro parallelo di ingresso a 16 bit (due 74LS374 con clock in comune) e di contatore modulo 16 connesso al clock e al LOAD dei 74LS166. Così facendo chi deve trasmettere il dato non ha la necessità di sincronizzarsi fra il 16° e il 17° clock ma deposita quando meglio ritiene opportuno, il dato a 16 bit nella coppia di 74LS374 di ingresso; il contatore modulo 16 dopo che sono stati trasmessi tutti i bit contenuti nella coppia di shift register, provvede a caricare in automatico entro gli shift register il dato a 16 bit proveniente dalla coppia di 74LS374. Il ciclo può così ripetersi indefinitamente.

## Interfacce seriali

Nel caso di interfaccia seriale, un dispositivo trasmettitore viene connesso ad un ricevitore attraverso un numero ridotto di conduttori generalmente tre (linea RX, linea TX, Signal GND). Il numero sale a quattro se viene aggiunta anche la linea di CLOCK.

B-RATE	T-bit		T-byte		T-pag	
150	6,67	ms	53,33	ms	106,67	s
300	3,33	ms	26,67	ms	53,33	s
600	1,67	ms	13,33	ms	26,67	s
1200	0,83	ms	6,67	ms	13,33	s
2400	0,42	ms	3,33	ms	6,67	s
4800	0,21	ms	1,67	ms	3,33	s
9600	104,17	us	833,33	us	1,67	s
19200	52,08	us	416,67	us	0,83	s
38400	26,04	us	208,33	us	0,42	s
23100	43,29	us	346,32	us	0,69	s
33600	29,76	us	238,10	us	0,48	s
57600	17,36	us	138,89	us	0,28	s

Diciamo che la connessione si dice SINCRONA nel caso in cui sia presente il segnale di CLOCK e ASINCRONA nel caso in cui sia assente.

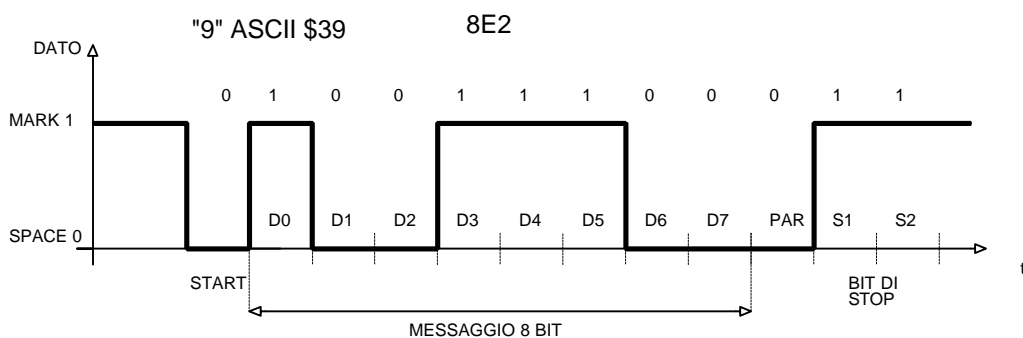
Nelle trasmissioni seriali si definisce la velocità di trasmissione o “baud rate” essa esprime il numero di bit che vengono trasmessi o ricevuti in un secondo. L’unità di misura è il BAUD.

$$\text{Baud - rate} = \frac{N^{\circ} \text{ bit}}{\text{sec}} \quad 1 \text{ BAUD} = \frac{1 \text{ bit}}{\text{sec}}$$

Nella tabella a fianco sono riportati alcuni fra i BAUD RATE più comuni con abbinato il tempo necessario per trasmettere un bit T-bit, di un byte T-byte e di 2000 caratteri T-pag (una pagina video di 25 righe di 80 caratteri ciascuna) su linea seriale

## Protocollo di comunicazione asincrono

Nel protocollo seriale asincrono il trasmettitore non invia il clock al ricevitore. In figura è riportato la struttura di un dato asincrono che fuoriesce da un interfaccia seriale.



Innanzitutto dobbiamo precisare che quando il trasmettitore è in condizioni di riposo “idle” esso emette sulla linea seriale un livello 1 denominato MARK (terminologia legata al mondo delle telescriventi).

- L’inizio della trasmissione è segnalato dal bit di START (bit a livello “0” o SPACE) che serve ad attivare sul ricevitore il processo di ricezione.

- Segue il messaggio vero e proprio che può essere costituito da un minimo di 5 fino ad un massimo di 8 bit. I bit che compongono il messaggio fuoriescono dalla porta seriale nell'ordine D0, D1, D2 ..., D7 (nel caso si 8 bit).

- In coda al messaggio bit di parità. Va precisato che il bit di parità può esserci oppure no; inoltre il trasmettitore può generare un bit di controllo di parità PARI (Even) o DISPARI (Odd).

START	sempre 1	SPACE	0
DATO	5 - 6 - 7 - 8 bit	-	
PARITA'	N - E - O		
STOP	1 - 1.5 - 2	MARK	1

- Da ultimo il oppure i bit di STOP

rappresentati da un livello 1 o MARK. I bit di STOP possono essere 1 - 1,5 - 2.

In figura è riportato un grafico che si riferisce alla trasmissione seriale del carattere ASCII "9" (\$39) nel formato 8E2 (8 bit + parità Even pari + 2 stop).

Il messaggio di lunghezza minima è rappresentato da un carattere trasmesso nel formato 5N1 (7 bit); quello di lunghezza massima è rappresentato da un carattere trasmesso nel formato 8E2 (12 bit).

### Ricevitore asincrono

Si premette che è necessario programmare sia il ricevitore che il trasmettitore in modo che venga supportato lo stesso tipo di trasmissione :

- a) stessa velocità o BAUD rate;
- b) stesso formato (stesso numero di bit del messaggio, stesso tipo di parità, stesso numero di bit di stop.

Il clock alla porta seriale è di solito fornito da un apposito generatore quarzato (Baud Rate generator) che alimenta la porta con un onda quadra a frequenza pari a 16 volte la velocità di trasmissione (153600 Hz nel caso di 9600 baud). Ogni bit trasmesso richiede quindi 16 clock per venire emesso dal Trasmittitore o ricevuto dal Ricevitore.

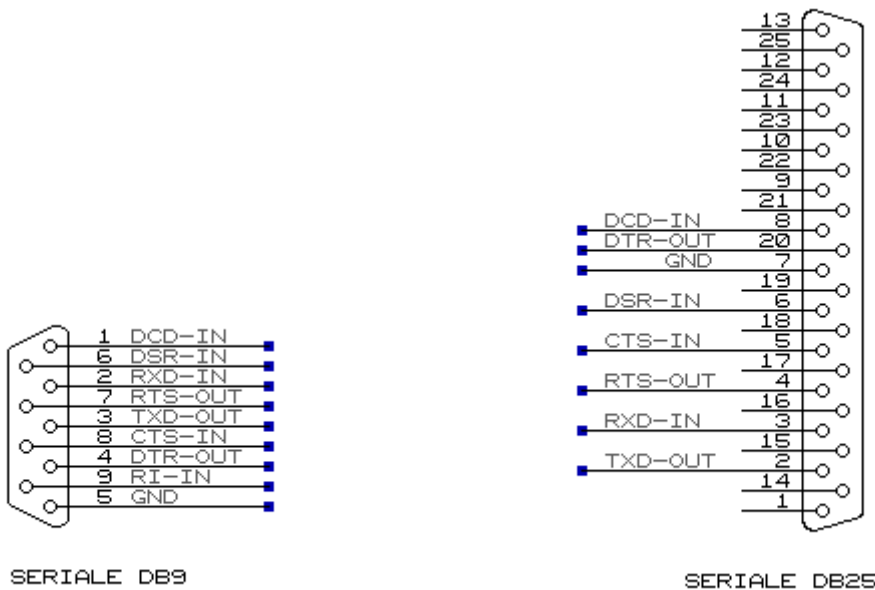
Il ricevitore seriale, non appena avverte il passaggio da 1 a 0 della linea dati, si predispone per la ricezione del messaggio:

- 1) per sincronizzarsi correttamente sul messaggio trasmesso, RX legge il livello logico presente sulla linea dati dopo che sono trascorsi 8 clock a partire dal fronte di discesa (segnale di START); ne consegue che la lettura è effettuata al centro del bit in una situazione di equidistanza fra il fronte di sinistra (segnale di START) e quello eventualmente di destra (caso in cui D0=1). Eventuali piccole differenze fra la frequenza di clock del trasmettitore e quella del ricevitore, possono

produrre solo leggeri spostamenti dell'istante di campionamento che potrà essere collocato o in avanti oppure indietro rispetto alla posizione centrale del bit.

- 2) i bit successivi vengono letti a distanza di 16 clock dalla lettura effettuata sul bit di START.
- 3) il ricevitore si predispone a ricevere tanti bit quanti sono i bit previsti dal formato (7 nel caso di formato 5N1; 12 nel caso di formato 8E2, etc. ) e ovviamente effettua un controllo rigoroso sulla struttura del dato ricevuto (presenza del bit di START, dell'eventuale bit di PARITA' e del numero di bit di STOP previsti dal formato);
- 4) Il ricevitore può segnalare tre tipi di errore:
  - a) PE Parity Error : bit di parità non corretto;
  - b) FE Framing Error : la struttura del dato ricevuto non è conforme al formato previsto (generalmente questo errore è originato da un bit di STOP non valido);
  - c) OE Overrun Error : sovrapposizione dei dati nel ricevitore (causato dal fatto che non si è provveduto in tempo a svuotare il registro di ricezione dati);

### Connettori delle porte seriali: DB9 e DB25



Due sono i connettori più frequentemente usati il connettore DB9 (9 poli maschio a vaschetta) e il connettore DB25 (25 poli maschio a vaschetta).